

前 言

本教程定位于 FPGA/CPLD 的快速入门, 主要针对 FPGA/CPLD 初学者。由于目前 ALTERA 器件和软件使用的人和教学资料最多, 开发软件使用也比较简单, 所以本教程以 ALTERA 公司的芯片和相应的开发软件为目标载体进行阐述。本教程阐述了 ALTERA 主要系列 PLD 芯片的结构和特点以及相应的开发软件 MAX+PlusII 和 Quartus 的使用。同时, 本教程以沪生电子的 HS102 型 FPGA/CPLD 开发板为平台, 结合具体实例“三人表决器”采用 JPEG 手把手地讲述了 FPGA/CPLD 软件的获得、安装、设置以及程序设计、编译、仿真、下载等基本问题(MAX+PlusII 和 Quartus 两种软件都讲到), 读者可以参考本教程的例子快速了解 FPGA/CPLD 设计, 这是本教程的重要特点。本教程中含有大量的设计实例, 并且所有例子都在 HS102 型 FPGA/CPLD 实验板上验证通过, 所有源文件均可以在开发板上使用。

本教程参考了 FPGA 中文网站资料和一些 FPGA/CPLD 书籍(在附录中写出), 在此表示感谢。由于编者水平有限, 教程中可能存在不足甚至错误, 希望读者指点批评: service@husoon.com

本教程为网络教程, 可以自由下载、阅读, 但该教程花费了作者一定的时间和经历, 并将所有例程都验证通过, 所以对于转载需要注明出处: www.husoon.com (沪生电子)和作者 CAIJS, 并且未经沪生电子同意, 不得作为商业用途。

CAIJS
2005. 6. 15
SHANGHAI