

目 录

前言

目录

第一章 FPGA/CPLD 概述

1.1 FPGA/CPLD 的基本概念

1.2 PLD 发展历程及概述

1.3 PLD 的结构和原理

1.3.1 基于乘积项 (Product-Term) 的 PLD 结构

1.3.2 乘积项结构 PLD 的逻辑实现原理

1.3.3 查找表 (Look-Up-Table) 的原理与结构

1.3.4 查找表结构的 FPGA 逻辑实现原理

1.3.5 选择 CPLD 还是 FPGA ?

1.4 FPGA/CPLD 的开发和设计

第二章 ALTERA 可编程逻辑器件

2.1 ALTERA 器件介绍

2.2 MAX7000 系列器件特点、性能

2.2.1 基本特征

2.2.2 更多特性

2.2.3 MAX 器件简介

2.2.4 功能描述

第三章 HS102 型 FPGA/CPLD 实验板

3.1 实验板原理

3.1.1 电源电路

3.1.2 主芯片 EMM7128SLC7128 电路

3.1.3 下载电路

3.1.4 时钟电路(CLK)

3.1.5 发光二极管 (LED) 电路

3.1.6 七段数码管 (SMG) 显示电路

3.1.7 交流频控蜂鸣器(SPEAK)电路

3.1.8 继电器(RELAY)控制电路

3.1.9 按钮(S)电路

3.1.10 拨位开关(SW)

3.1.11 232 接口电路

3.1.12 PS/2 接口电路

3.2 实验板布局

3.3 实验板资源说明

3.4 排针两侧对应关系

第四章 Max+plusII10.2 的使用

- 4.1 MAX+plusII 软件和 license 的获得
- 4.2 MAX+plusII 软件的安装
- 4.3 MAX+plusII 软件的 license 设置
- 4.4 MAX+plusII 软件的驱动设置
 - 4.4.1 WIN2000 添加驱动
 - 4.4.2 WINXP 添加驱动
 - 4.4.3 WINNT 添加驱动
- 4.5 用 VHDL 语言设计三人表决器
 - 4.5.1 打开 MAX+plusII
 - 4.5.2 新建 VHDL 文档
 - 4.5.3 输入设计文件
 - 4.5.4 保存文件
 - 4.5.5 检查编译
 - 4.5.6 创建一个设计的符号
 - 4.5.7 波形仿真
 - 4.5.8 下载验证
- 4.6 用原理图输入的方式设计三人表决器
- 4.7 用 verilog-HDL 语言设计三人表决器

第五章. Quartus4.2 软件的使用

- 5.1 Quartus4.2 软件和 license 的获得
- 5.2 Quartus4.2 软件的安装
 - 5.2.1 安装 quartus4.2
 - 5.2.2 安装 quartus4.2 补丁 SP1
 - 5.2.3 LICENSE 设置
 - 5.2.4 Quartus4.2 其他
- 5.3 用 Verilog-HDL 设计 “ 三人表决器 ”
 - 5.3.1 打开 Quartus4.2:
 - 5.3.2 新建工程 :
 - 5.3.3 建立新的 Verilog-HDL 文件
 - 5.3.4 保存 Verilog-HDL 文件
 - 5.3.5 指定芯片 :
 - 5.3.6 编译项目
 - 5.3.7 指定管脚 :
 - 5.3.8 波形仿真 :
 - 5.3.8 下载验证
 - 5.3.10 其他

第六章 HS102 型 FPGA/CPLD 实验板设计实例

- 6.1 LED 输出控制
- 6.2 走马灯控制
- 6.3 流水灯控制
- 6.4 交通灯控制

- 6.5 按键输入
- 6.6 家用楼梯灯的控制电路
- 6.7 三路选择器
- 6.8 优先编码器
- 6.9 PWM 输出控制
- 6.10 数码管静态控制
- 6.11 数码管动态控制
- 6.12 数码管上显示流动的“HS”
- 6.13 蜂鸣器输出控制
- 6.14 数字电子琴
- 6.15 继电器控制
- 6.16 RS232 通讯
- 6.17 三态电路实现
- 6.18 测试程序

附录一：相关配件连接图示。

参考资料