

第六章 HS101 型 FPGA/CPLD 实验板设计实例

前面几章讲了 FPGA/CPLD 的基本概念、MAXPLUSII 软件以及 QUARTUS 软件的使用和 HS102 的布局、基本原理。本章将通过大量的实际例子来讲述 FPGA/CPLD 的设计。下面的所有例子均在 HS102 型 FPGA/CPLD 实验板上验证通过。下面例子使用 MAXPLUS 或 QUARTUS , 并且给出源程序和管脚定义 ,其他具体过程仅一带而过 ,具体可以参考第四章 和第五章的讲述。

下面的所有源程序在光盘下《samples》都有 , 并且都通过编译 , 可以直接下载 (但需要把 examples 文件夹及其下面所有文件的只读属性去掉), 这些源文件都是用 VHDL 或 verilog-HDL 或图形或他们的结合编写 , 但以 verilog-HDL 为主。

VHDL 或 verilog-HDL 的基本知识请参考 “ GUIDE 光盘 ” 下相关文档。