

第五章. Quartus4.2 软件的使用

ALTERA 的新一代开发软件 QuartusII 支持 APEX20K、APEXII、Excalibur、Mercury、Cyclone (飓风) 以及 Strarica 等新器件系列。为了缩短设计周期和降低设计复杂度。Quartus 含有工作组计算、集成逻辑分析功能、EDA 工具集成、多工程支持、增强重编译和 IP 集成等特性。

Quartus 软件加强了网络功能，它具有最新的 INTERNET 技术，设计人员可以直接通过 INTERNET 获得 ALTERA 的技术支持。Quartus4.2 目前已经被广泛地应用在各个科研设计单位，我们下面就是以 Quartus4.2 + SP1 来讲解。

。

另外，MAX+PLUSII 和 QuartusII 很多方面语法不兼容，我们有时候可以集合两种软件使用，比如用 QuartusII 编写、编译等，用 MAX+PLUSII 下载，另外我们认为这两种软件的语言输入都不完善，特别对中文，我们建议有很多中文注释的可以先使用 UltraEdit 软件输入好后拷贝到 MAX+PLUSII 和 QuartusII 中。UltraEdit 见“GUIDE 光盘/实用软件”下相关软件

下面我们将用一个实际的例子来讲述 Quartus4.2 软件的安装、设置和使用，这个实例是三人表决器，其功能描述为：

三个人分别用拨位开关 SW1、SW2、SW3 来表示自己的意愿，如果对某决议同意，各人就把自己的拨位开关拨到高电平（下方），不同意就把自己的拨位开关拨到低电平（上方）。表决结果用 LED（高电平亮）显示，如果决议通过那么实验板上 L3（绿灯）亮；如果不通过那么实验板上 L4（红灯）亮；如果对某个决议有任意二到三人同意，那么此决议通过，L3 亮；如果对某个决议只有一个人或没人同意，那么此决议不通过，L4 亮。

5.1 Quartus4.2 软件和 License 的获得

你可以通过下面方式来获得 Quartus4.2 软件和补丁 SP1 :

A : 到 <https://mysupport.altera.com/login/signin.asp> 上

登记、注册申请并下载。

B : 购买沪生电子的 HS102 型 FPGA/CPLD 实验板 , 将获赠相应软件 (仅供学习使用)

C : 和 service@husoon.com 联系

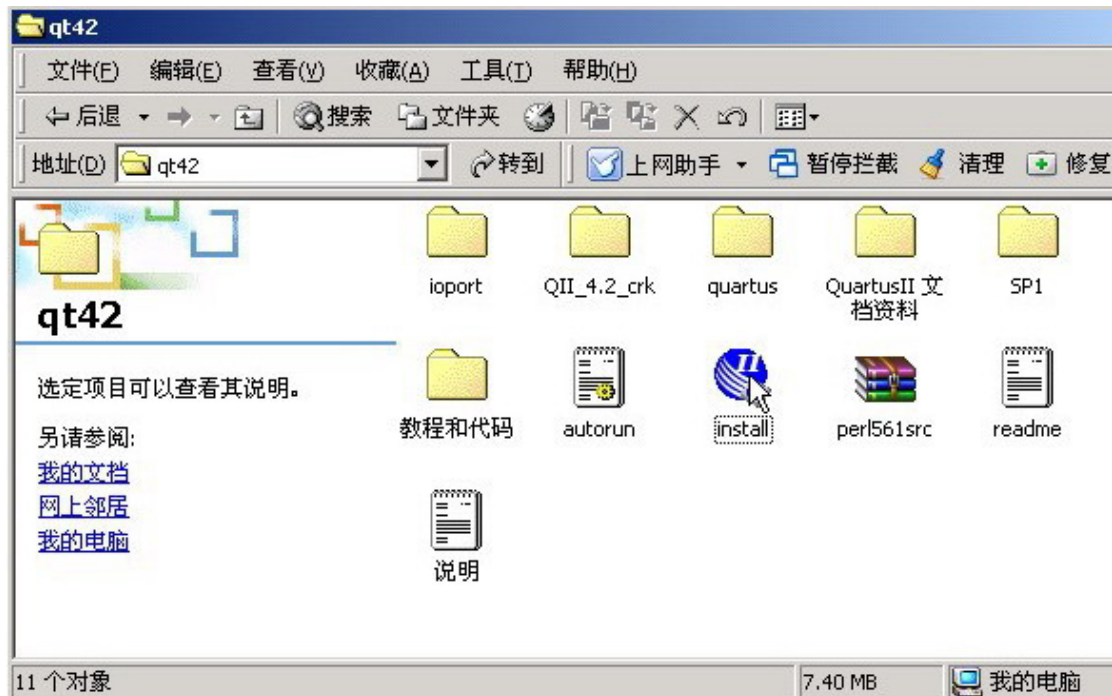
使用 Quartus4.2 软件你需要 license.dat 文件 , 你可以到

www.husoon.com 上下载相关的 LICENSE 生成器 (仅供学习使用)

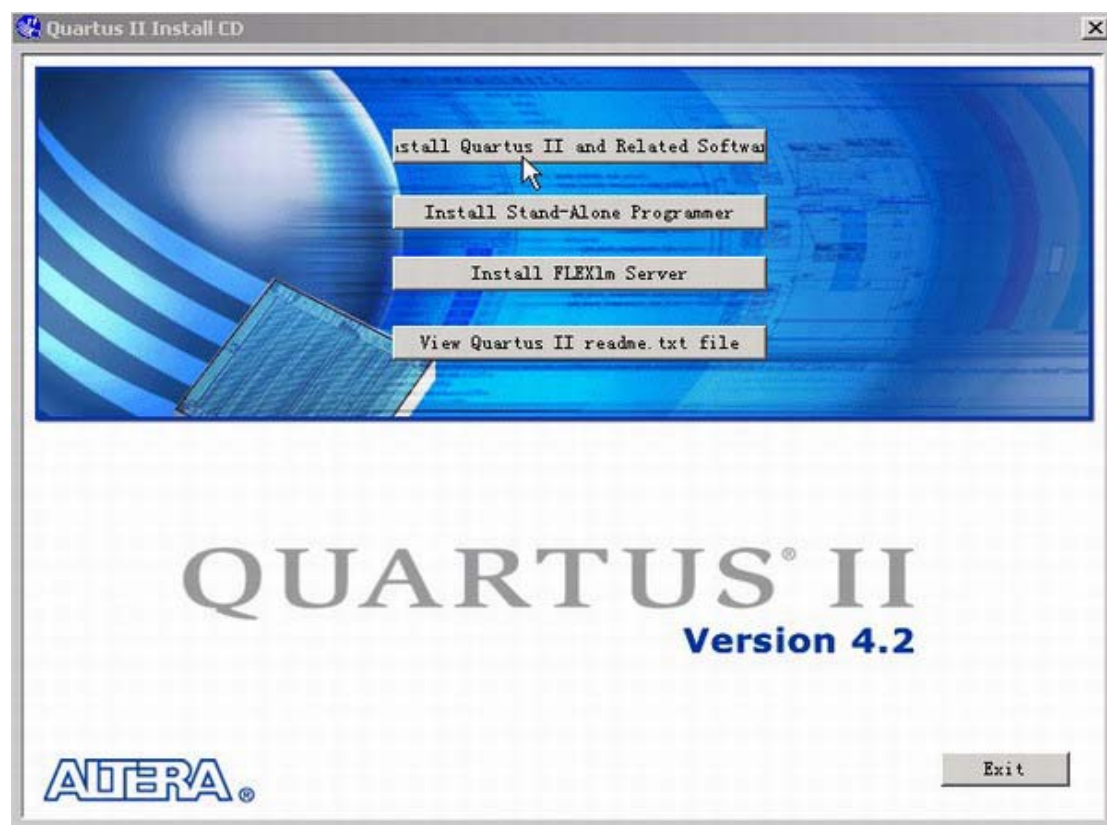
5.2 Quartus4.2 软件的安装

5.2.1 安装 quartus4.2

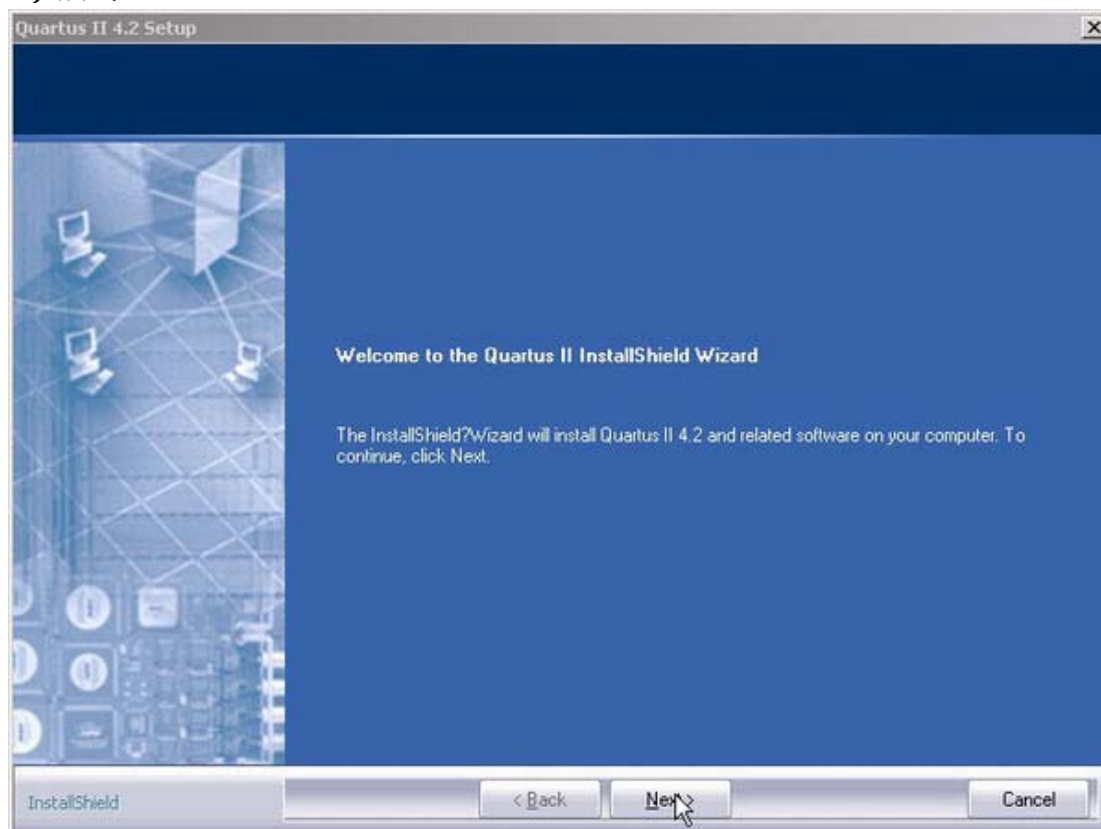
1) 打开“qt42 光盘”，点击 install.exe 安装软件



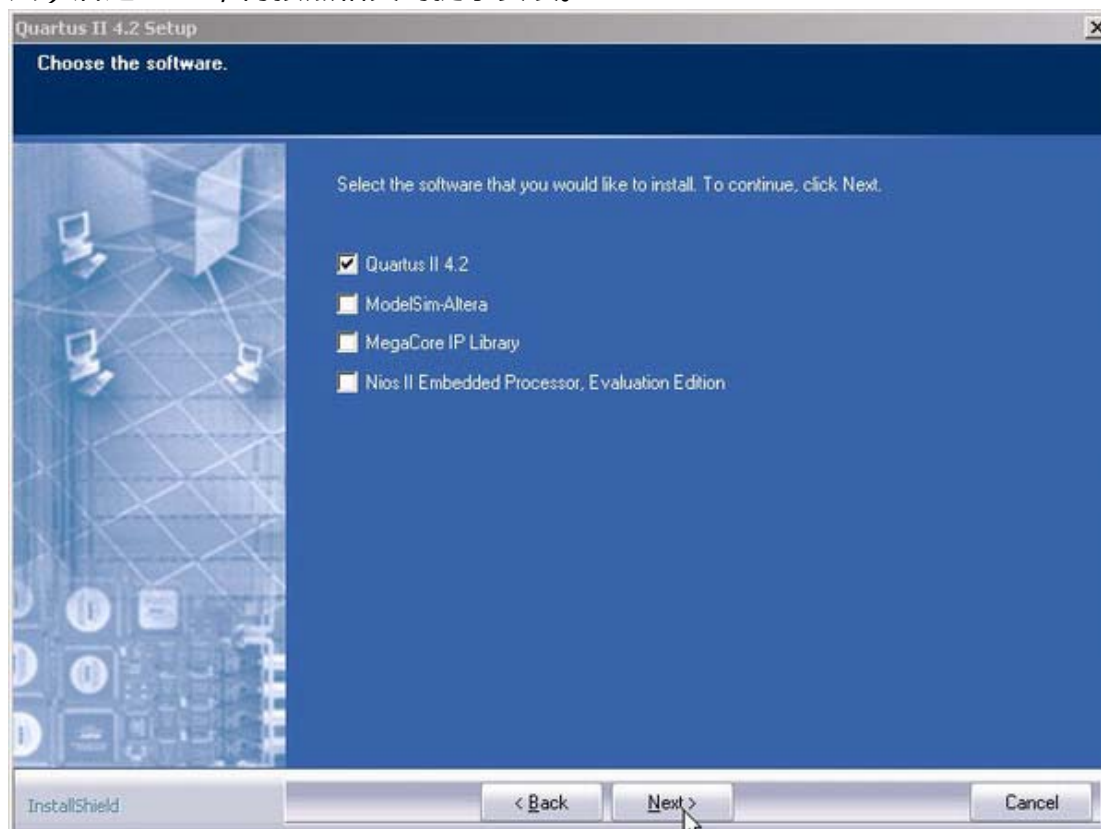
2) 出现下图，点 Install Quartus II Aofware



3) 点击 NEXT

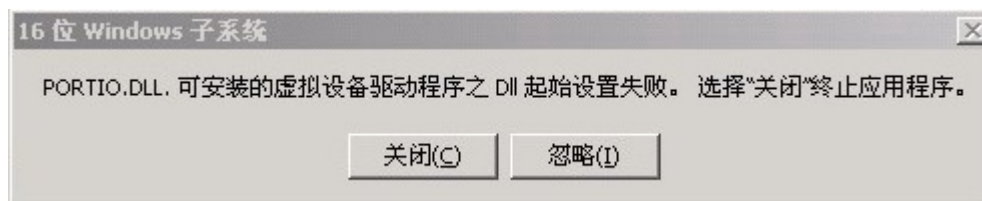


4) 选择 Quartus4.2, 其他目前不选 (目前我们暂不提供相关其他软件的安装方法) 后选 NEXT, 再按照相关的提示安装。



注意：

A: 在 WIN2K 安装过程中可能出现 PORTIO.DLL 失败，如下图：



可以先把“qt42sp1 光盘下 ioport/portio.dll”拷贝到 WINN/SYS32 中，就 OK 了（可以到我们网站上下载）

B: 在 XP 中，安装到最后可能有时候有“安装错误”没有关系，软件可以正常使用。

5.2.2 安装 quartus4.2 补丁 SP1

进入“qt42sp1 光盘下 SP1”文件夹，点击安装 quartusii_programmer_signal tap.exe

（我们的例子都是在这个环境下的，但如果不安装也可以，打开在 SP1 环境下的程序，会出现管脚信号丢失，但只要重新编译一下就可以了）

5.2.3 LICENSE 设置

目前网上提供通用 LICENSE，但安装麻烦，并且权限有限，我们采用一个破解文件，见“qt42sp1 光盘 QII_4.2_crk”文件下内容。

对这个软件，我们只提供学习使用，不作为我们产品，如果有什么问题可以和 www.husoon.com 联系

5.2.4 Quartus4.2 其他

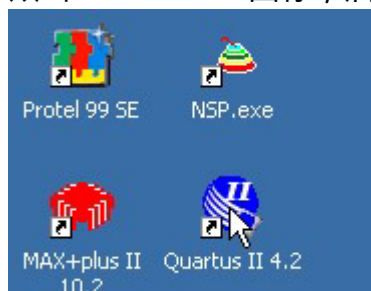
- 1) MAXPLUS 可以转换成 QUARTUS 工程，但最好自己另建工程，有些不完全兼容
- 2) 有关下载线的设置将在下面的设计实例中讲解
- 3) QUARTUS4.2 对计算机硬件要求很高，特别是 CPU，差的会出现经常死机；所以安装该软件的 CPU 性能要好。
- 4) Quartus4.2 不需要安装驱动，但需要设置，具体讲通过后面的实际例子来说明。
- 5) 部分有关 Quartus4.2 的详细资料见“qt42sp1 光盘/QuartusII 培训教材”中相关内容

5.3 用 Verilog-HDL 设计 “三人表决器”

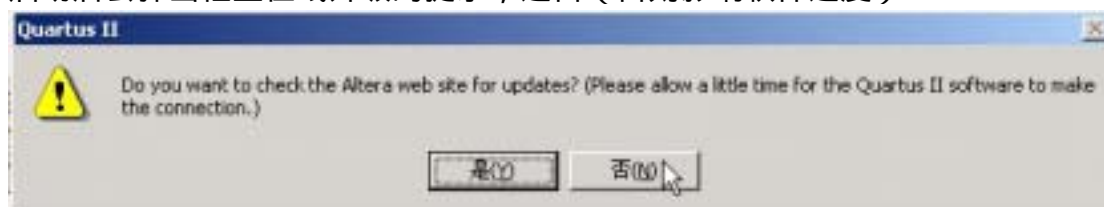
以后我们用 Quartus4.2 软件设计的例子基本都是使用 Verilog-HDL 语言来讲解，因为该语言在我国应该较广，并且近 C 语言风格，适合学习使用。

5.3.1 打开 Quartus4.2:

双击 Quartus4.2 图标，启动 Quartus4.2



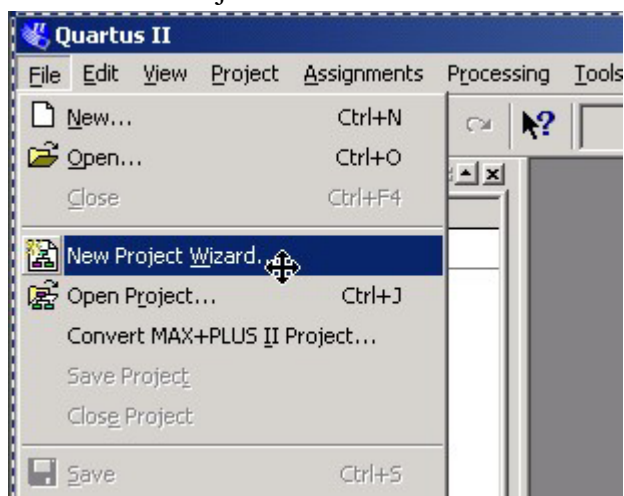
启动后会弹出检查在线升级的提示，选否（否则影响软件速度）



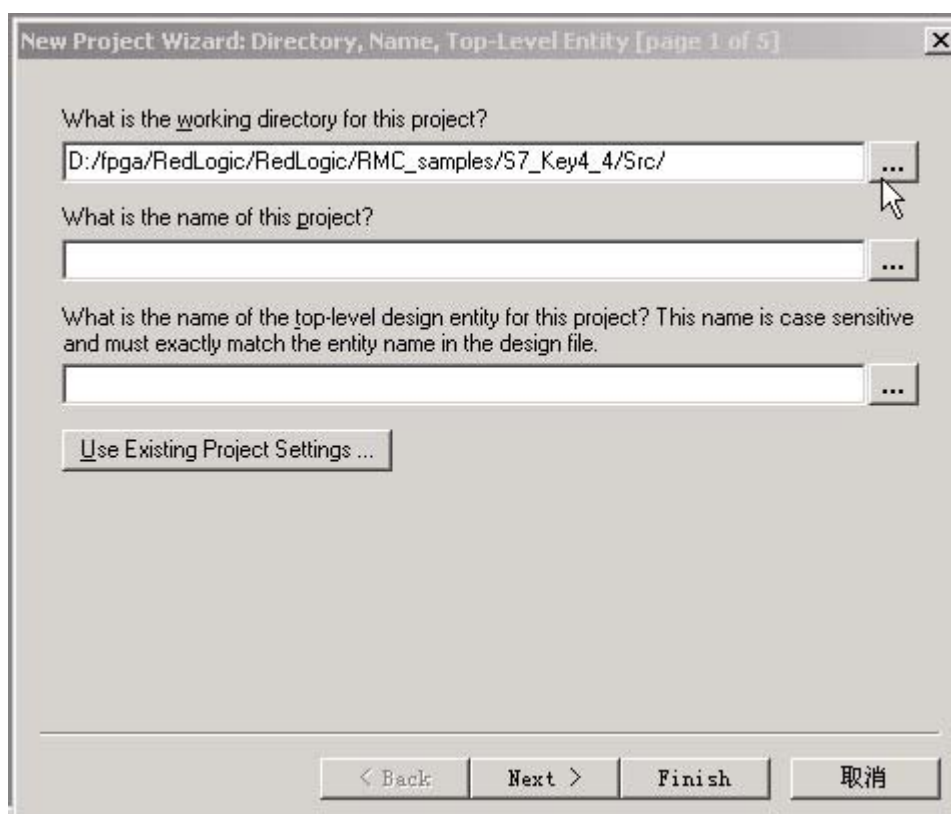
（有时候刚启动 QUARTUS，可能要求我们选择 QUARTUSII 模式还是 MAXPLSII 模式，我们选择 QUARTUS 模式，下面的讲解都是在该模式下进行的。你也可以在 Tools->Customize 中重新设置。）

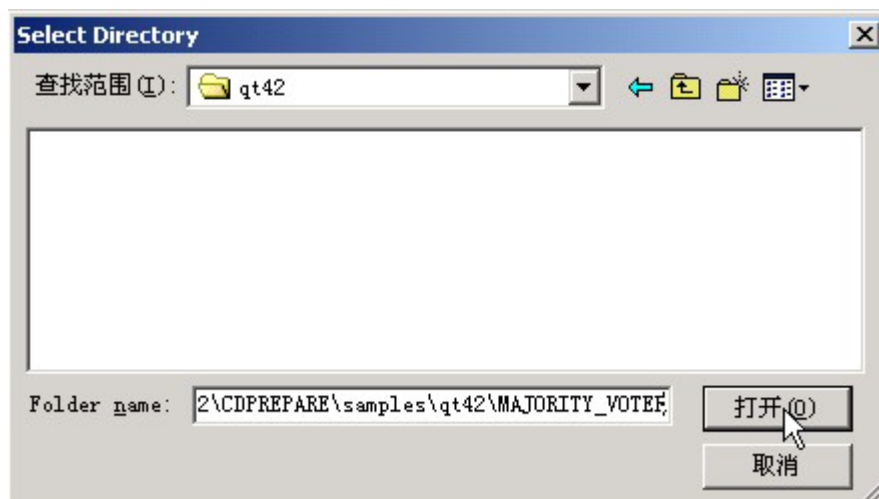
5.3.2 新建工程：

FILE->New Project Wizard



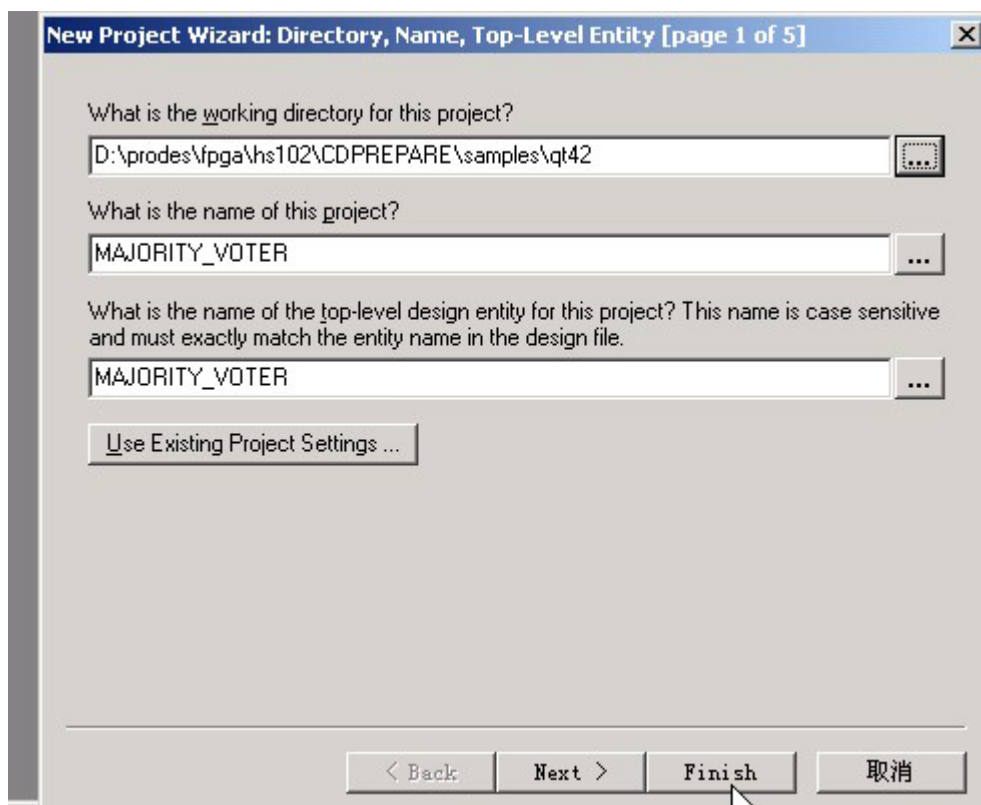
将弹出下图窗口，选择 Project 的目录





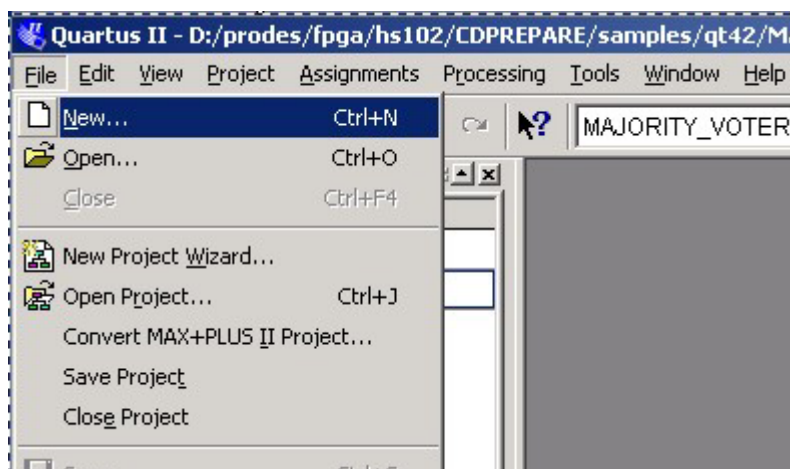
选择好目录后打

相关文件名我们用系统默认的，如下图

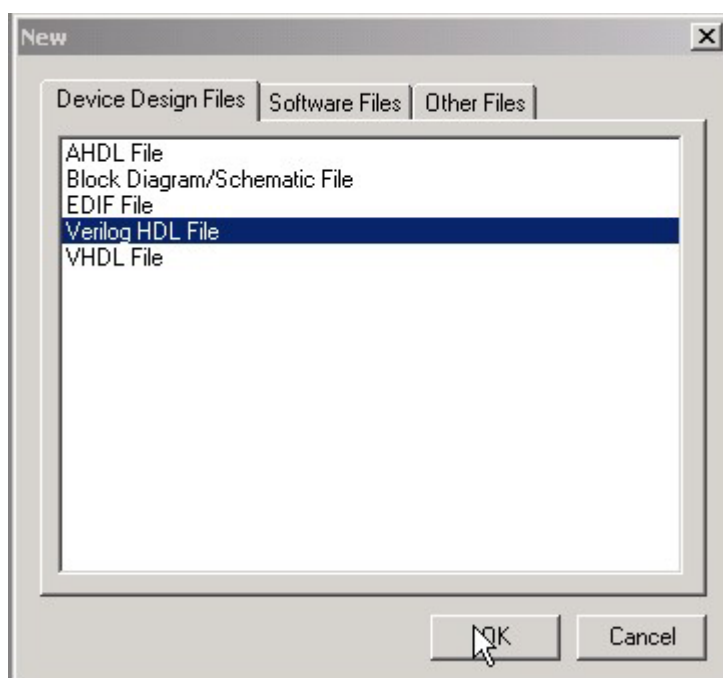


5.3.3 建立新的 Verilog-HDL 文件

File - New



选择 Verilog - HDL File



在弹出的文本窗体中输入下面语句

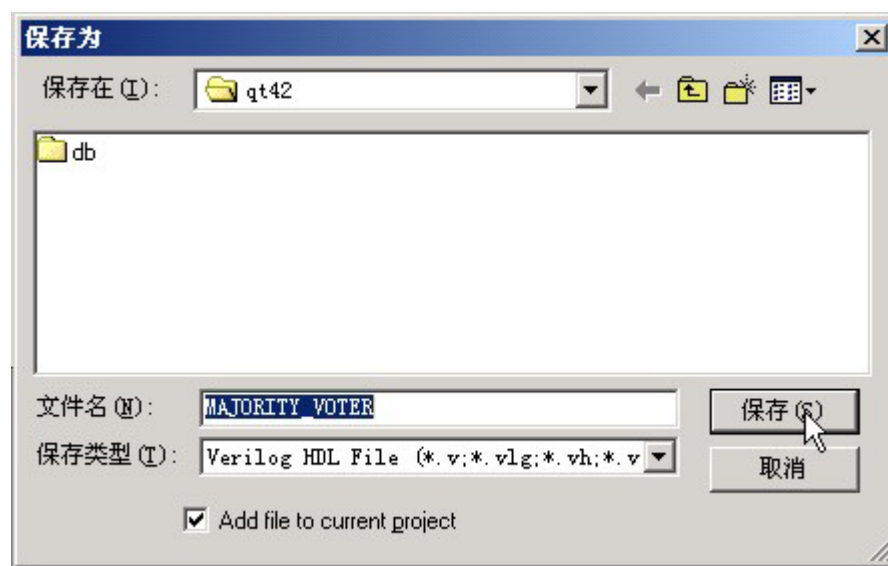
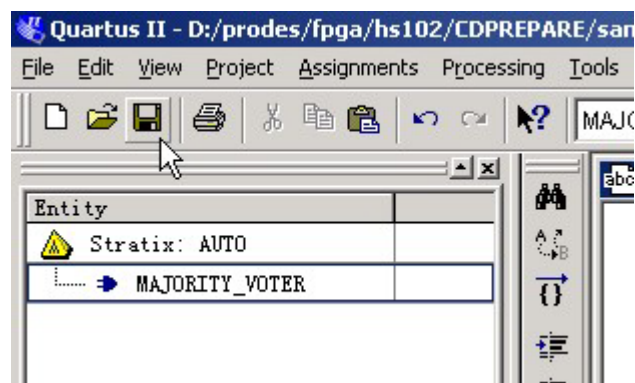
(其中注释部分可以不输入, 注释可以使用行注册符号//和段注释符号/* */, 下面的注释内容读者可以不录入)

```
//三人表决器 majority_voter.v
//DOWNLOAD FROM WWW.HUSOON.COM
module MAJORITY_VOTER(SW1,SW2,SW3,L3,L4);
    output L3,L4;
    input SW1,SW2,SW3;
    assign L3=(SW1&&SW2)||(SW1&&SW3)||(SW2&&SW3);
    assign L4=!L3;
    /*and(SW12,SW1,SW2);
```

```
and(SW13,SW1,SW3);  
and(SW23,SW2,SW3);  
or(L3,SW12,SW13,SW23);  
not(L4,L3);*/  
endmodule
```

5.3.4 保存 Vriolog-HDL 文件

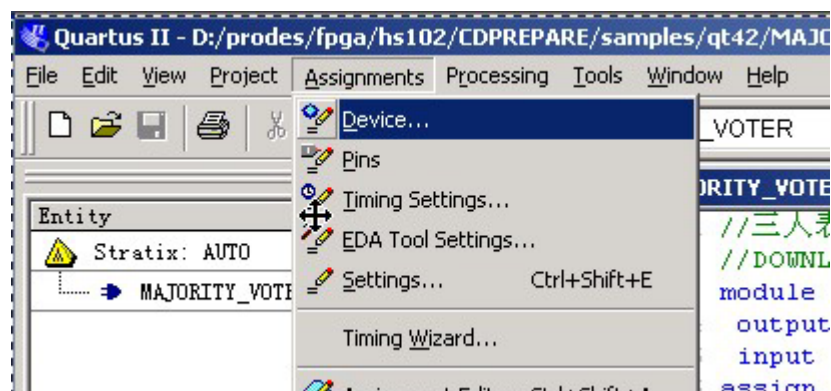
点击保存文件按钮或 File->Save ,



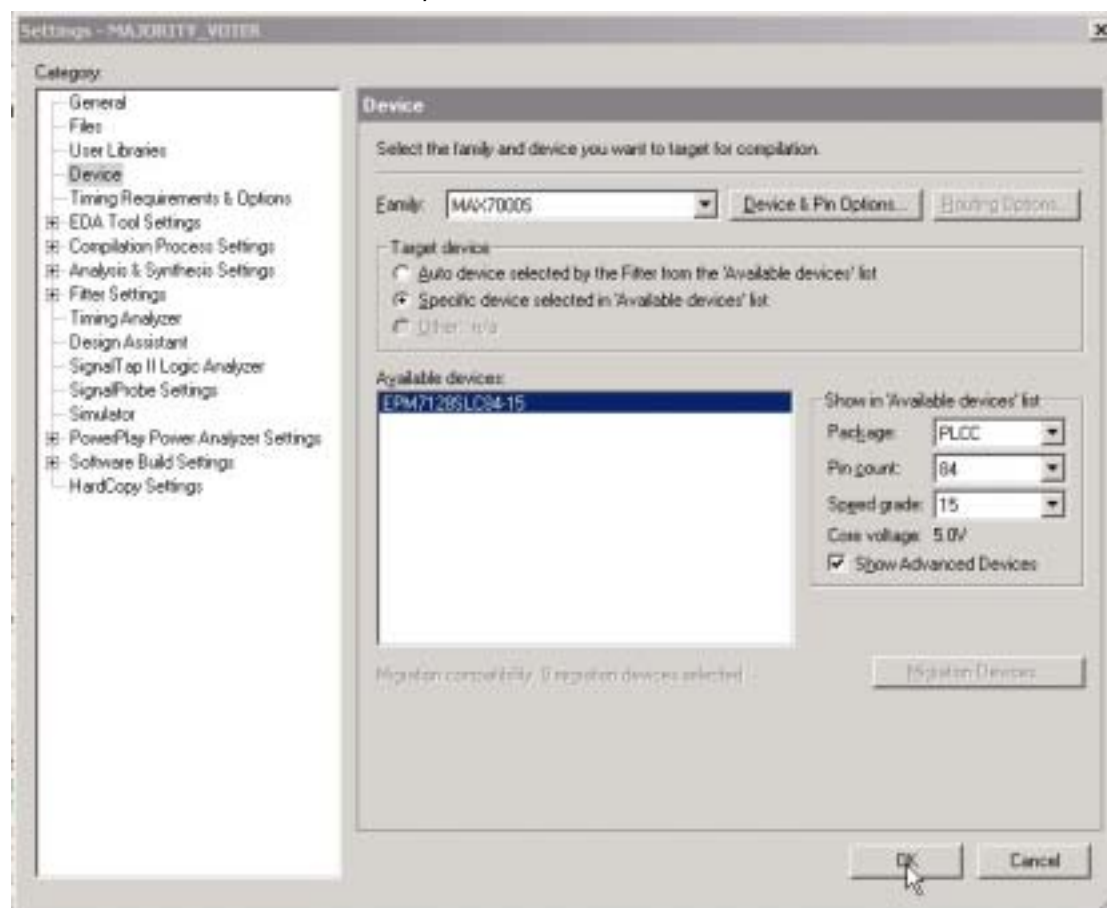
(注:该工程中只有一个文件,我们是把这个文件作为顶层文件,该文件的文件名必须和工程名相同,并且文件中模块名必须和该文件的文件名相同)

5.3.5 指定芯片：

Assignment->Device

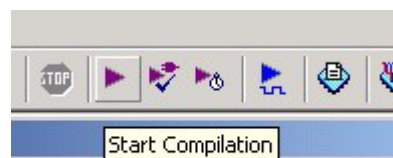


如图选择 EPM7128SLC84-15，点击 OK



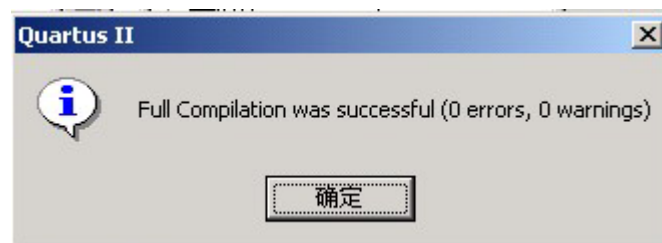
5.3.6 编译项目

如下图，也可以 Tools->Compilation Tools，在弹出的窗口中按 START 按钮

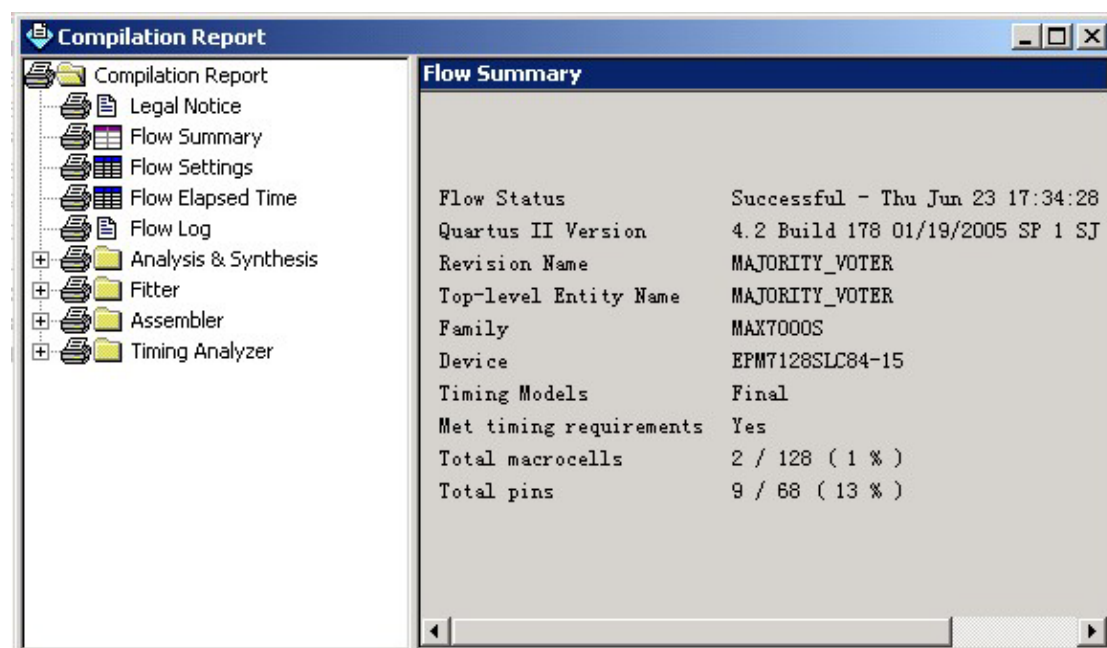


√
CM

如果没有错误将弹出：

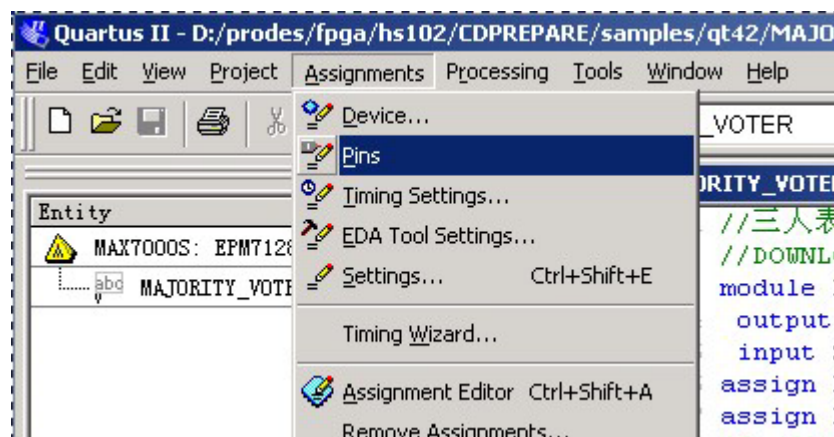


编译后的信息显示芯片资源的利用率等详细信息，如下图右边框中显示：

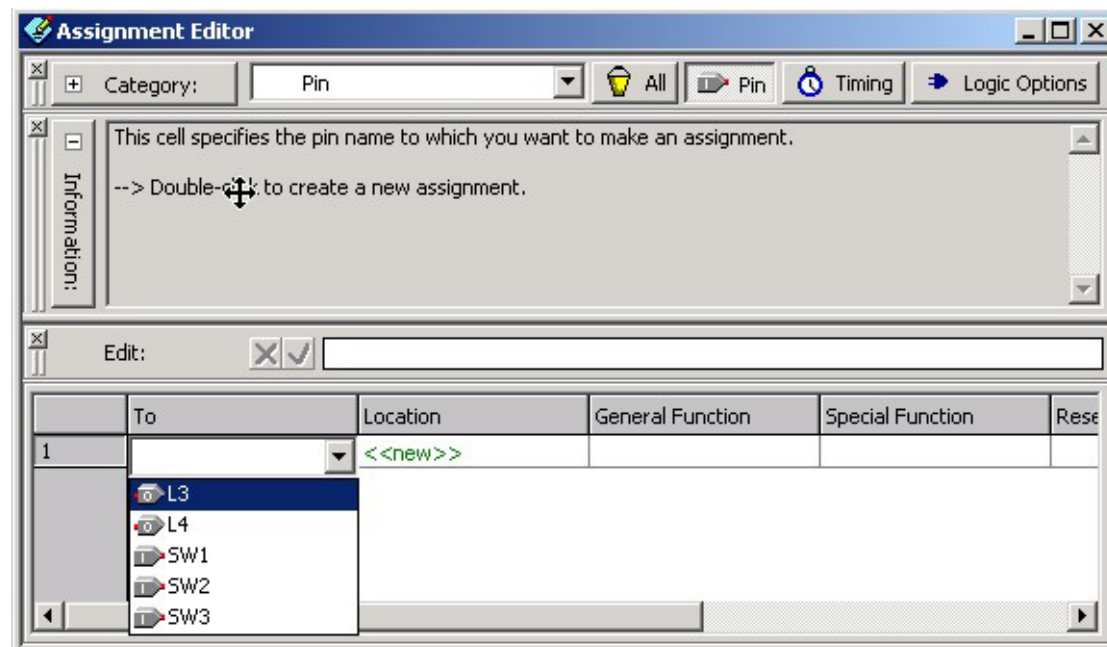


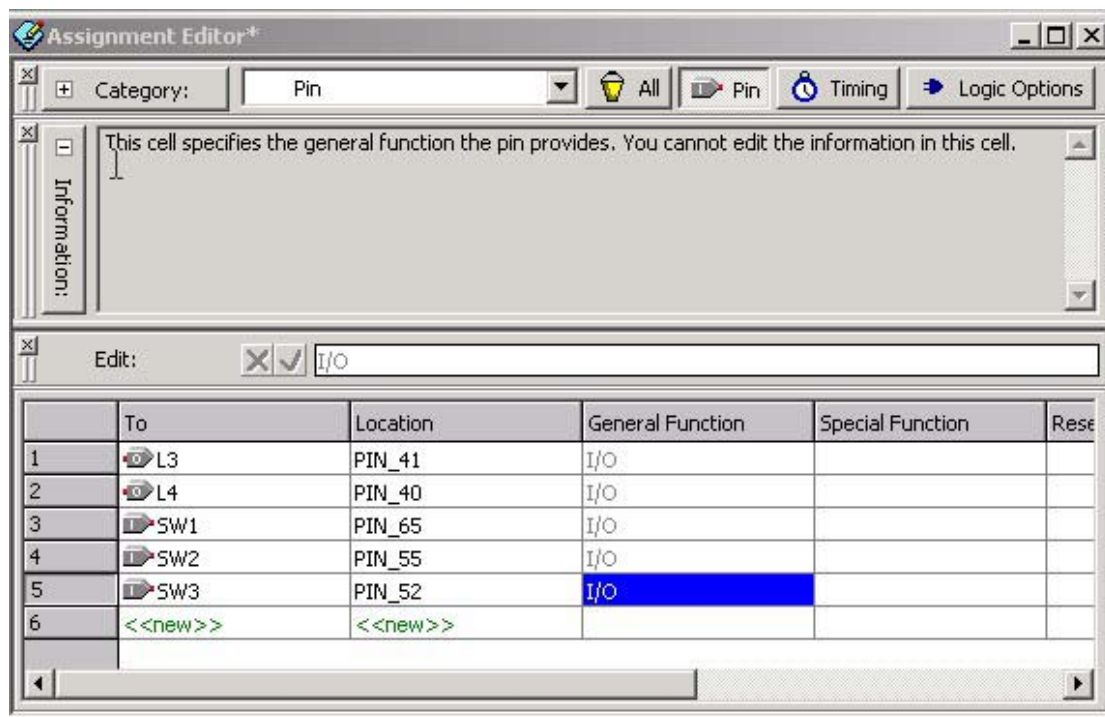
5.3.7 指定管脚：

如下图 Assignment->Pins



将弹出下面的窗口,我们在 To 处选择所要指定的管脚(如 L3),连后在 Location 处选择或直接输入芯片的管脚(直接输入只需要数字,如 41)

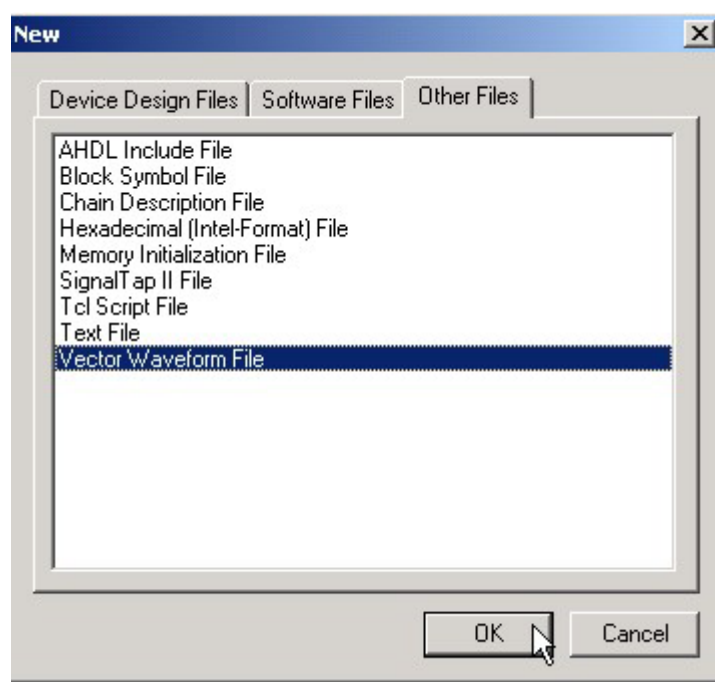




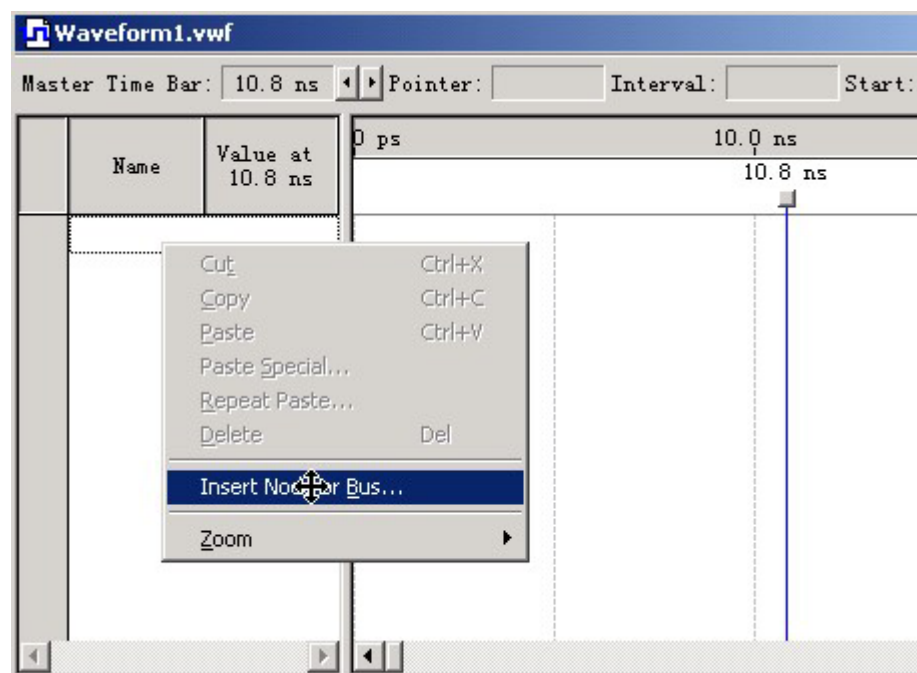
我们再编译一次，使管脚定义信息加入相关文件

5.3.8 波形仿真：

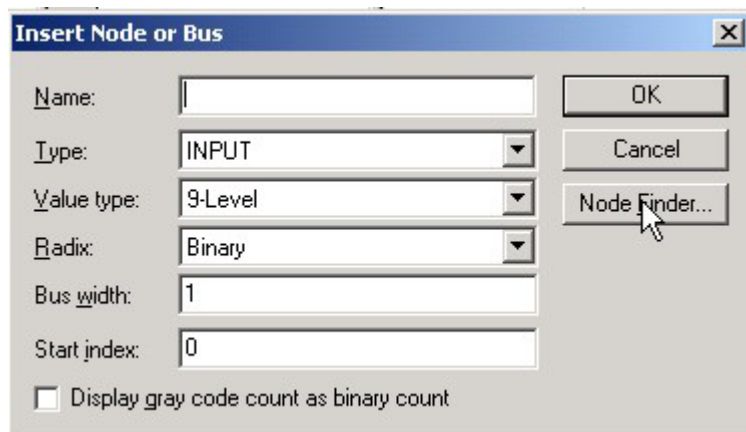
建立波形文件 File->New，点击 Other Files，选择 Vector Waveform File



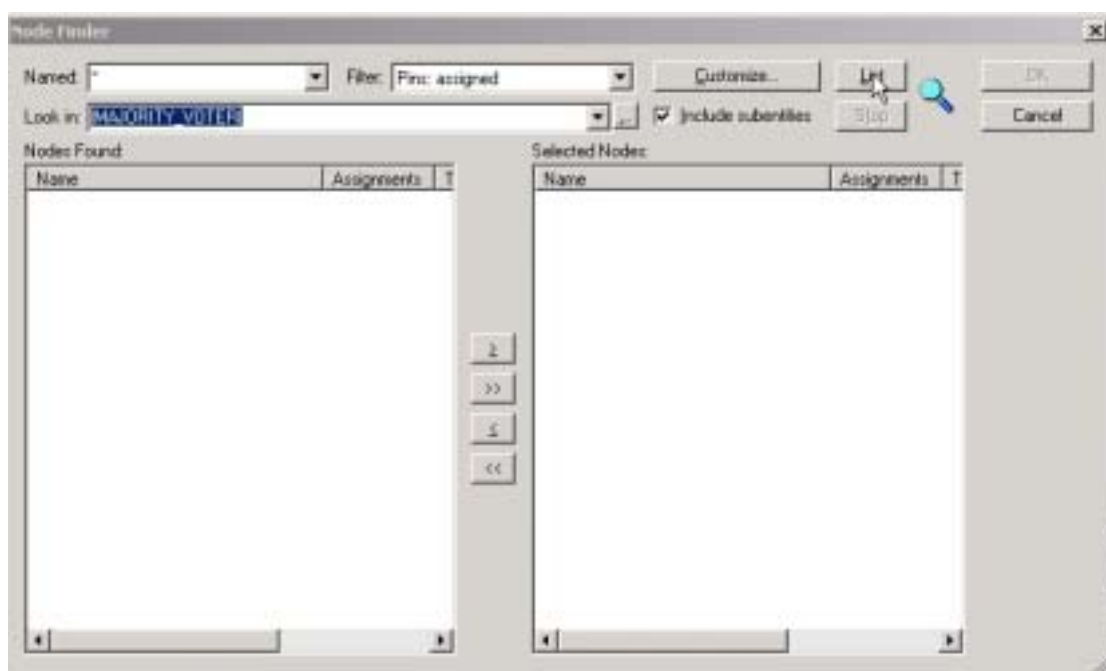
加入波形：在波形窗口中点击右键，选择 Insert Node or Bus



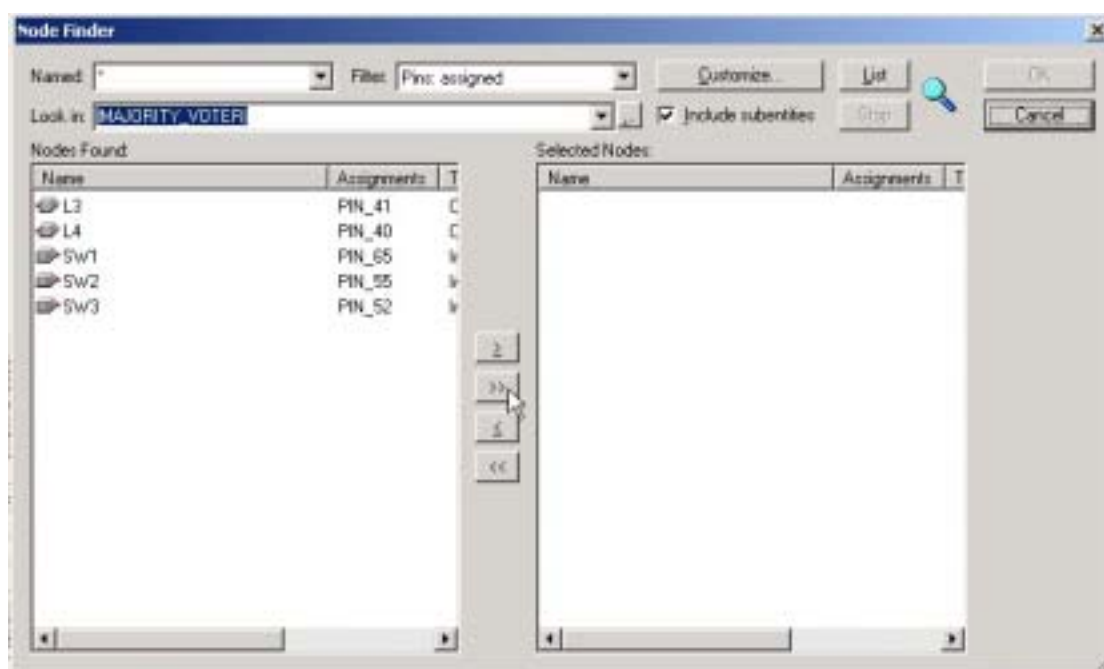
将会弹出下图窗口，点击 Node Finder



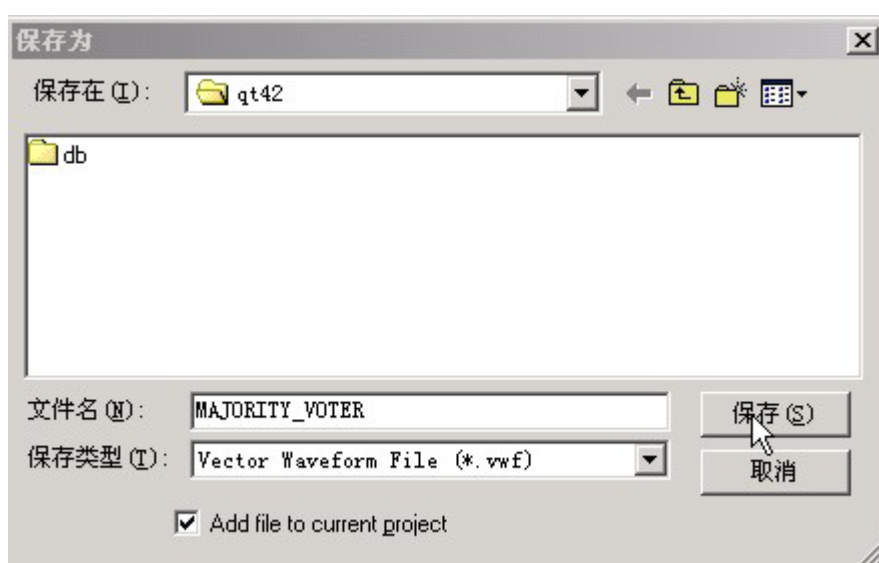
点 List



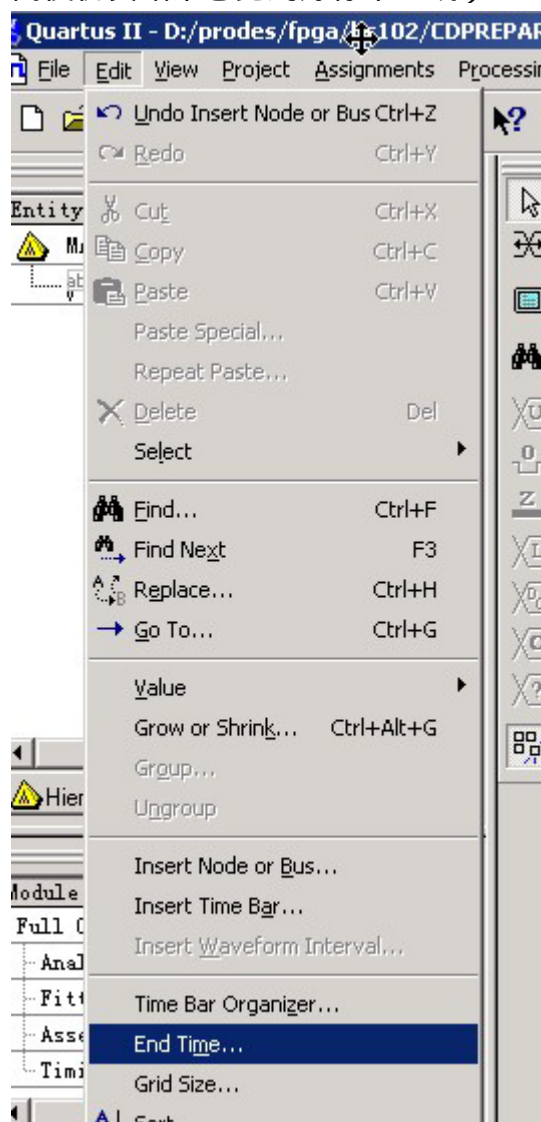
将会出现所有定义的管脚，将所有管脚移到右边框中，并选 OK，如下图



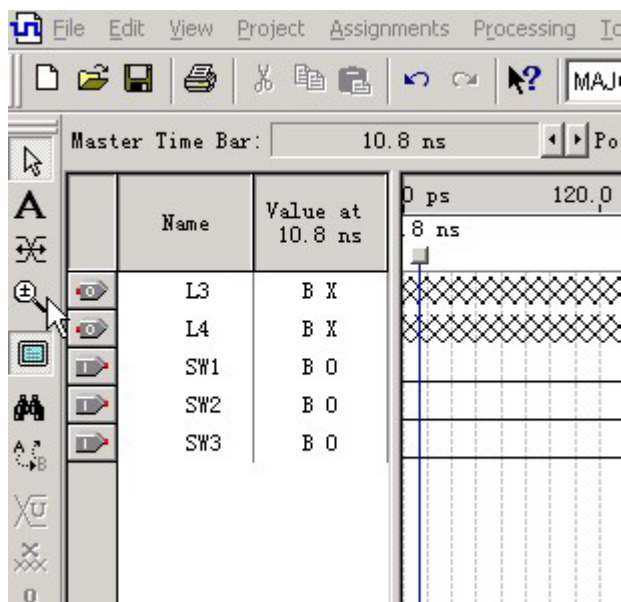
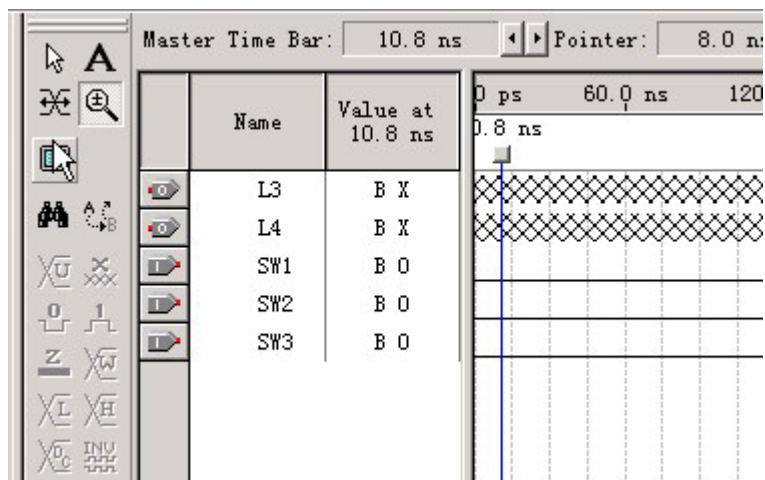
保存文件 MAJORITY_VOTER



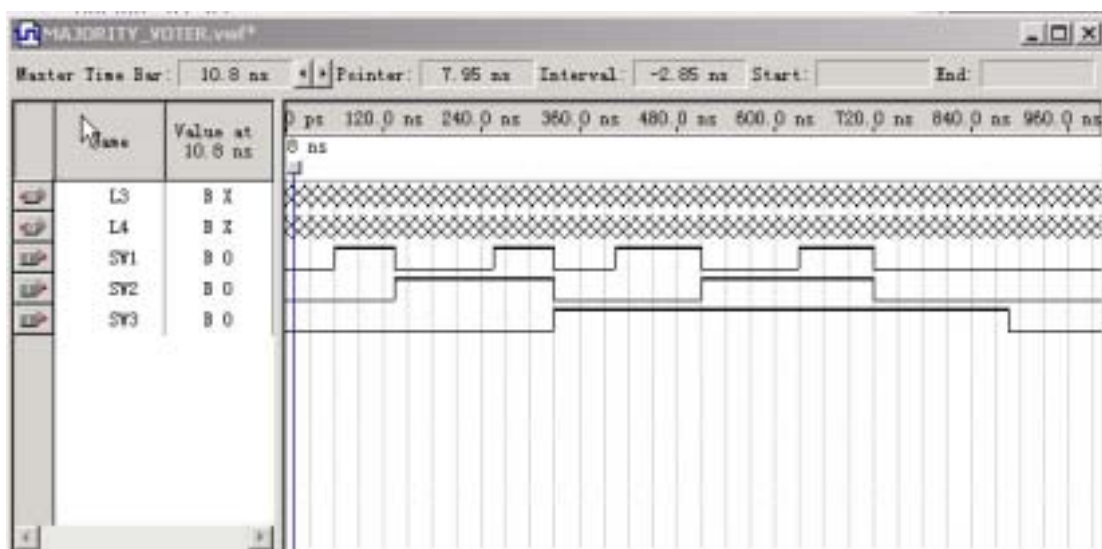
为了方便观察波形,我们现在设置格点尺寸和结束时间,可以在 Edit 下面的 End Time 和 Grid Size 中设置,我们设置 Grid Size 为 30ns,End Time 为 1us (其中 Grid Size 不要设太小,否则以后可能会出现信号的延迟大于信号的有效时间,而使仿真结果感觉到好像不正确)



为了方便观看波形,我们可能需要用到全屏显示和放大缩小,分别如下图,其中点击了放大缩小按钮后,点击左键为放大,右键为缩小

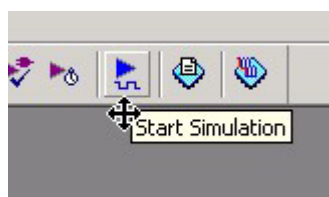


我们把输入信号定义如下波形(我们可以先选中那个信号,用鼠标拖黑相关波形的相关段,联后选择左端工具栏上的 1 或 0)



我们可以再次保存一下波形文件

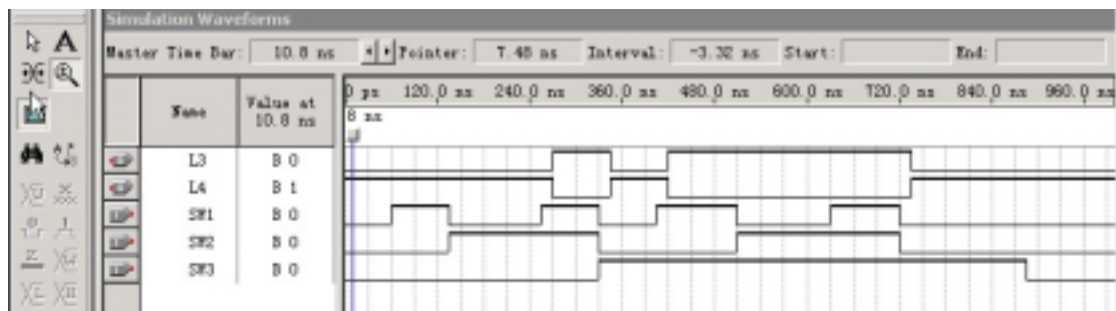
点击波形仿真按钮,也可以在 Tools->Simulation Tools, 联后按 START 按钮



波形仿真如果无错误,将出现下面的窗口



下图就是波形仿真的结果,我们可以看到完全符合我们的要求(其中信号有部分延迟)



5.3.9 下载验证

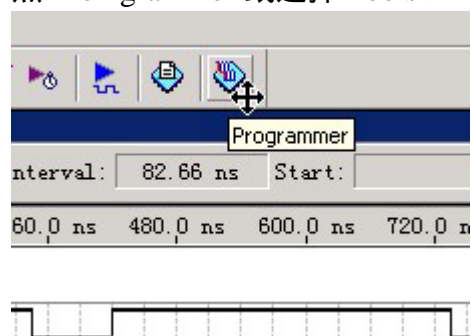
硬件连接：

- 1) 将手接触自来水管等接地装置，或用自来水冲洗并擦干，防止静电影响
- 2) 将配套的螺丝安装到实验板的四个支柱孔上，将实验板放到绝缘物体上（下面千万不要放钥匙、螺丝刀等物体）
- 3) 将配套的 25 芯并口延长线公端和电脑相连，母端和实验板相连
- 4) 将配套电源一端和实验板电源接口相连，另一端和 220V 市电相连
- 5) 打开电源开关（如果要取下并口线，请先关闭电源，防止产生瞬时电流对你并口产生影响）

下面就可以下载验证了

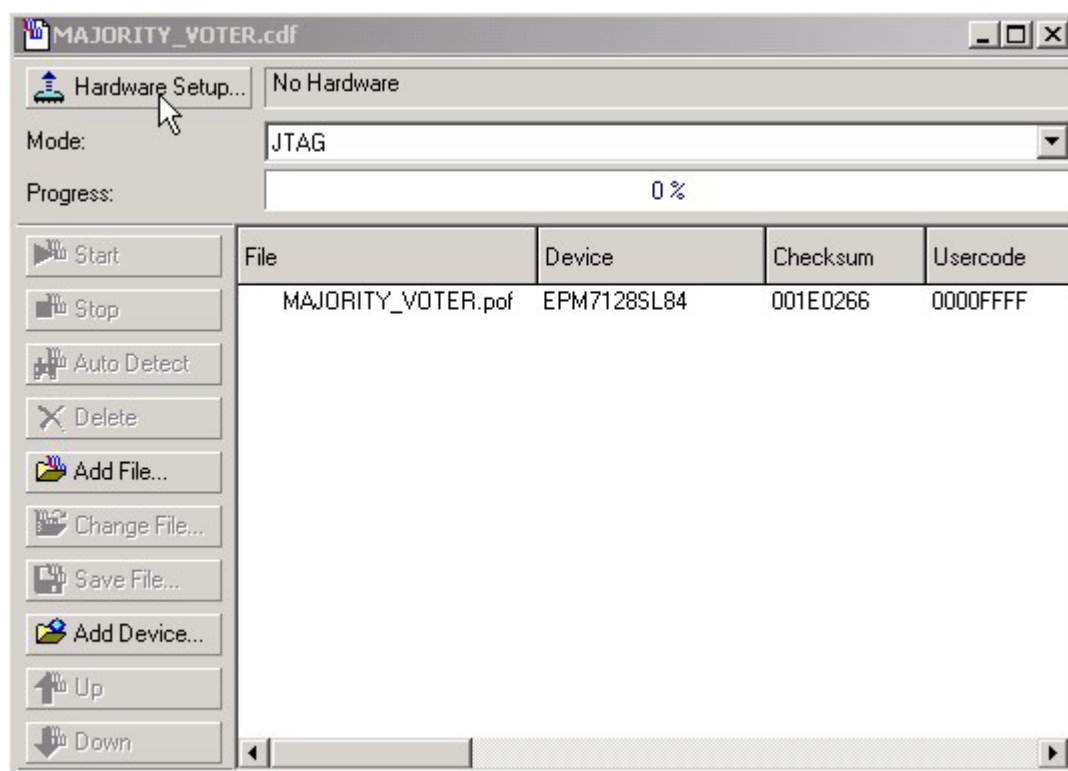
（你在下载程序进行长时间运行时，请注意芯片温度，避免因为一些失误而造成芯片损坏，如果稳定很高，请及时检查原因）

点 Programmer 或选择 Tools->Programmer

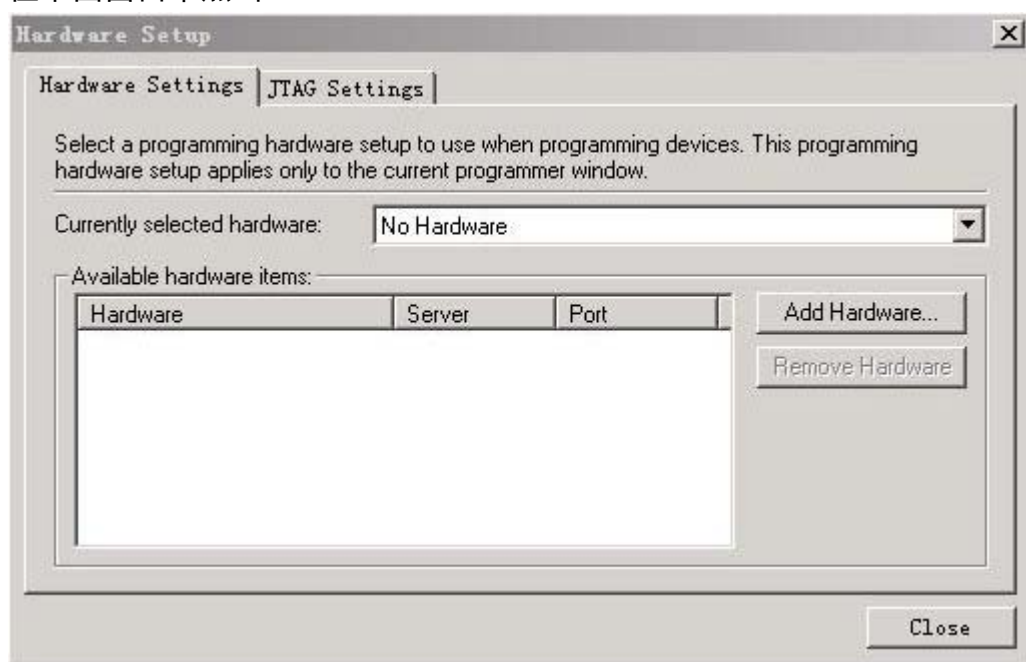


在初次使用的时候,需要进行下面的设置

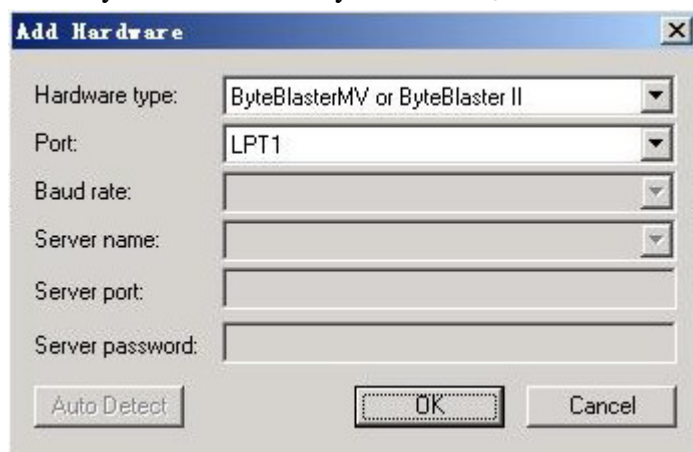
点击 Programmer 将会弹出下面的窗口,点击 Hardware Setup



在下面窗口中点击 Add Hardware

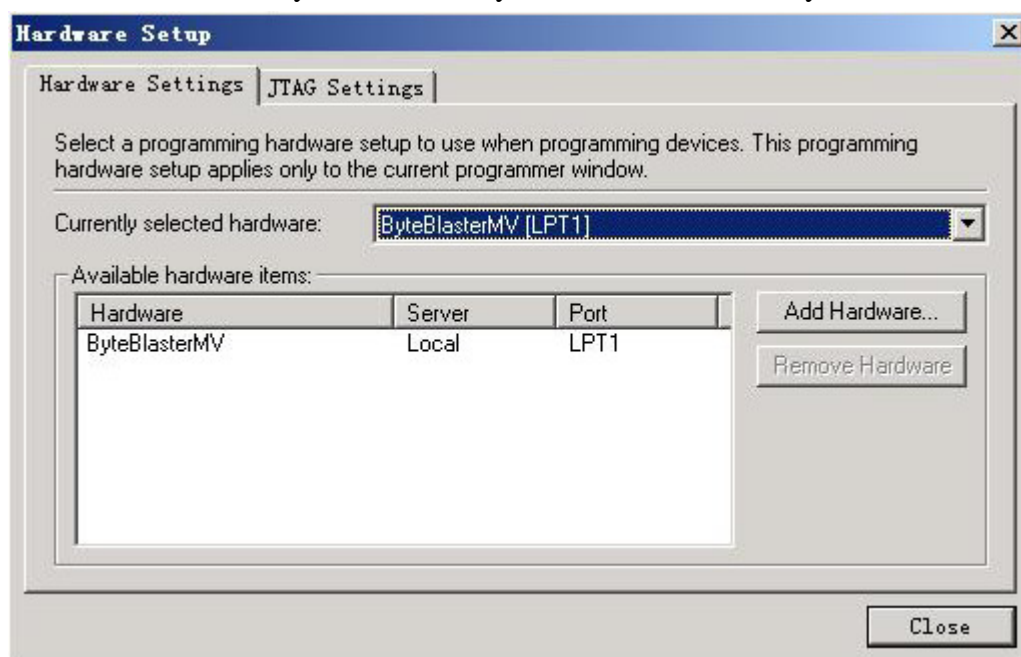


选择 ByteblasterMv or ByteblasterII , 点击 OK

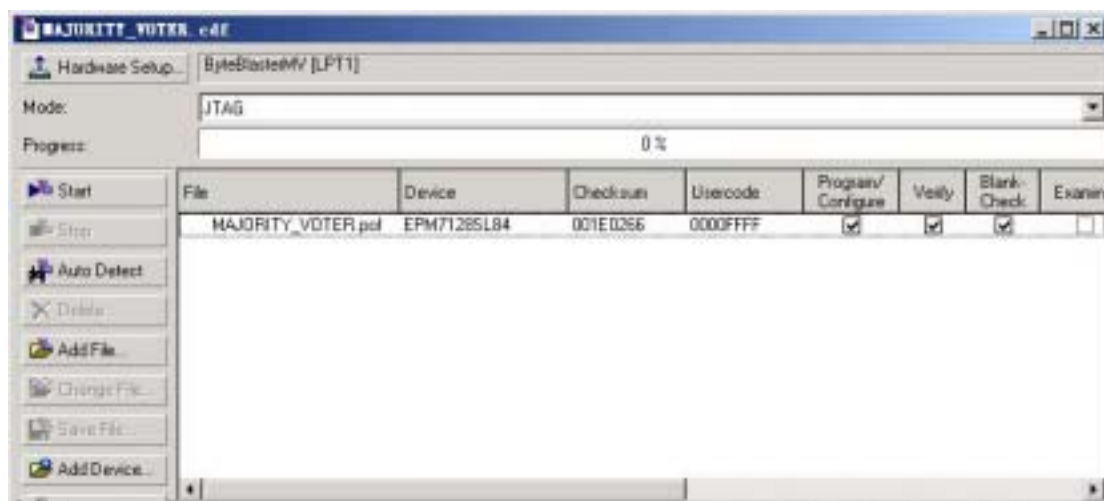


此时系列会识别并口和下载电缆，如下图

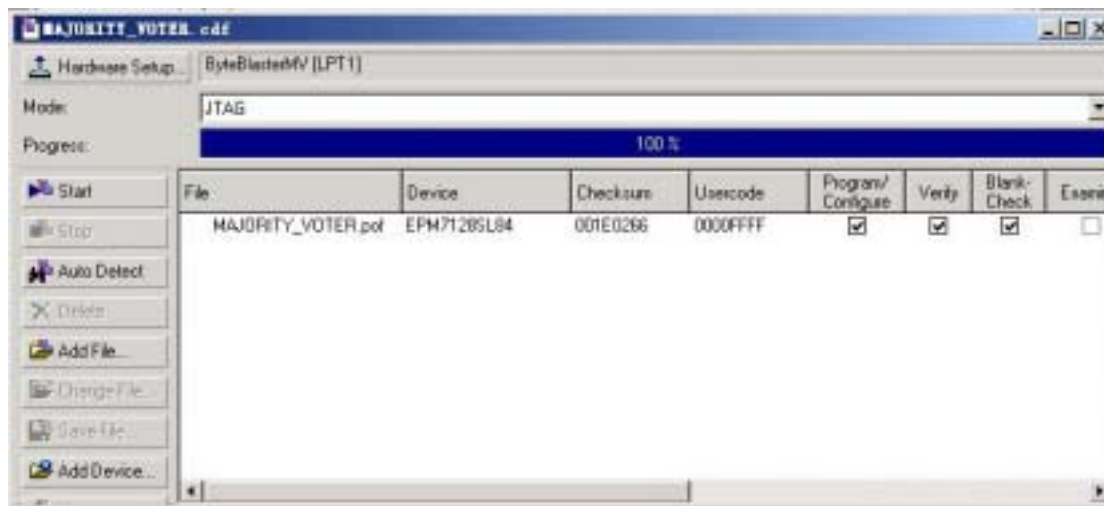
(注：对系统而言 Byteblaster 和 ByteblasterMV 都认为 ByteblasterMV)



选择 Program、Verify 和 Blank Check，点击 START



我们将看到蓝色跳不断充满，当显示 100%时下载成功。



现在你就可以通过 HS102 实验板上的硬件资源来验证表决器功能是否正确,拨动拨位开关 SW1、SW2、SW3 状态来进行完全测试

SW1	SW2	SW3	L3	L4
0	0	0	不亮	亮
0	0	1	不亮	亮
0	1	0	不亮	亮
0	1	1	亮	不亮
1	0	0	不亮	亮
1	0	1	亮	不亮
1	1	0	亮	不亮
1	1	1	亮	不亮

通过测试,设计的表决器功能完全正确

5.3.10 其他

- 1) 我们在 verilog-HDL 语句中曾经加了注释符号/* */，这段语言在 MAXPLUS 中完全通过，但在 QUARTUS 中有“未定义”警告，我们这个只是相说明 MAXPLUS 和 QUARTUS 在一些语法支持上不完全一样，使用过 MAXPLUS 要注意这一点。
- 2) 我们在编写一个三态门的时候，发现 QUARTUS 上完全通过的例子但在下载后不能正常运行，但波形仿真正确，后来我们用 MAXPLUS 软件做，发现提示一些管脚不能定义使能，比如 7128 的 37 脚，但 QUARTUS 不提示，这些我们查了相关手册，没有说明，可能相当于软件的 BUG 吧。（这个例子见第六章的 6.17）
- 3) 我们在使用 QUARTUS 或 MAXPLUS 有些语法和我们学的标准 Verilog-HDL 不同，我们可以采用变通的方式来处理，另外也可以借助其他编译器。

这样一个简单的 PLD 设计就完成了，但只是一个演示过程，真正设计时候还要考虑很多其他方面，具体可以参考“qt42sp1 光盘/ quartus 培训教材”下相关文档。