

第三章 HS102 型 FPGA/CPLD 实验板

HS102 型 FPGA/CPLD 实验板 (针对 ALTERA 公司 EPM7128) 是在 HS102 型实验板基础上根据客户的建议开发的 FPGA/CPLD 实验板, 为了你更好使用, 下面详细介绍实验板资源和原理。

实验板上主要的电路是 CPLD 芯片 EPM7128SLC84-15, 本章前一部分介绍 CPLD 芯片 EPM7128SLC84-15 电路, 最后介绍了 CPLD 芯片 EPM7064SLC44-10 相关电路。

3.1 实验板原理

完整的原理图见光盘, 该资料只提供给正式客户。

3.1 电源电路

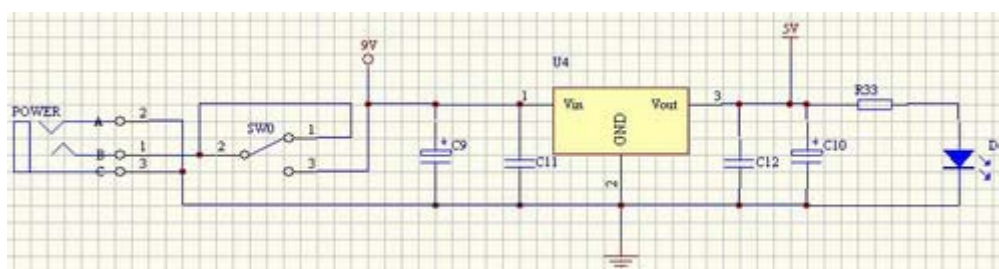


图 3.1 - 1 电源原理图

该实验板的 CPLD 芯片 EPM7128 的内核电压 VCCINT 和 IO 电压 VCCIO 均为 5V 直流电压, 实验板上 CPLD 统一采用 5V 直流稳压电源供电。

电源输入端 POWER 的输入电压为+9V, 和随配的稳压电源配套使用, 输出 5V 供 CPLD 和其他硬件使用

为了防止电源的干扰信号, 电路加了滤波电容 C9、C10, 另外为了防止高频信号的干扰, 加了小电容 C11、C12;

电源电路采用高性能的 LDO (低压差线性稳压器) 芯片 LM7805, 为了使芯片稳定工作, 采用了大面积敷铜和裸露铺铜;

为了方便电源打开和切断，加了电源开关，拨到“开”处打开实验板电源，拨到“关”处切断电源，在插或拔串口或并口前，最好关闭电源，防止瞬时尖峰电流对你电脑相关的接口产生损坏

3.2 主芯片 EPM7128SLC84 - 15 电路

HS102 型实验板上的主芯片采用 EPM7128SLC7128 - 15，该芯片放在 PLCC84 插座上，可以用启拔器拔出。该插座兼容以下芯片：

EPM7128SLC84（5v）

EPM7064SLC84(5v)

EPM7160SLC84（5v）

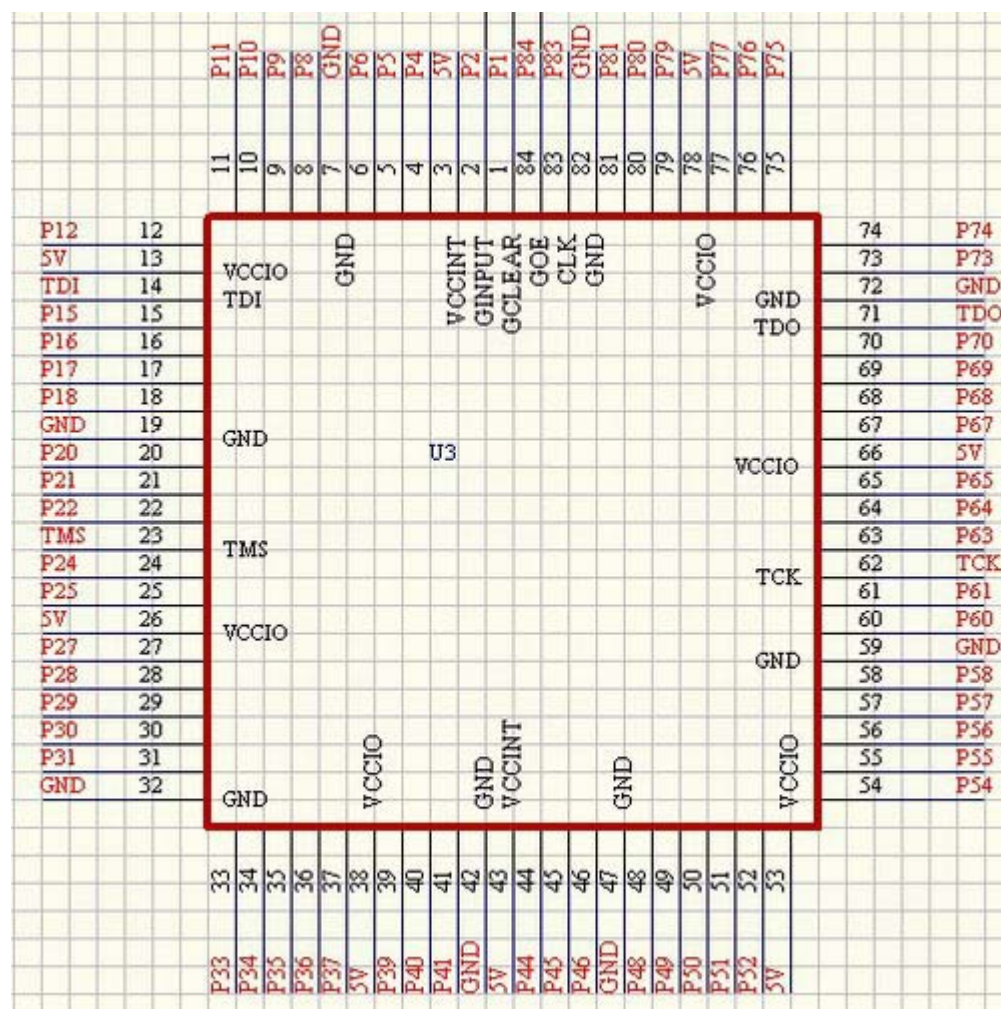


图 3.2 - 1 EPM7128SL84-15 管脚图

可以参考光盘中电子版，可以任意放大和缩小

图中的数字代表芯片的引脚号，其中 1、2、83、84 为全局输入引脚，对于它们的说明如下(该板子上全局信号 1、2、83 可和拨位开关相连，具体电路见后面拨位开关部分)：

CLK(83)：全局时钟脚，这个脚的驱动能力最强，到所有逻辑单元的延时基本相同，所以如系统有外部时钟输入，建议定义此脚为时钟输入脚。如想用其他脚为时钟输入，必须在菜单：Assign->Global project logic synthesis->Automatic global 选项中把 GCLK 前面的勾去掉。这样任意一个 I/O 脚均可做时钟输入脚。在板子上通过 JP5 可以将不同时钟接到 83，见下时钟电路部分的原理图。如果使用不到时钟，将此脚接地（见后面时钟部分）。

G0E(84)：全局输出使能，如有三态输出，建议由此脚来控制（也可由内部逻辑产生输出使能信号），优点和用法同上。OE2/GCLK2(2)：全局输出使能/全局时钟脚，两者皆可；但该引脚也可以作为输入使用。

GCLEAR(1)：全局清零，如有寄存器清零，建议由此脚来控制（也可由内部逻辑产生清零信号），优点和用法同上。分配这些脚和分配普通 I/O 脚是一样的，先在 Assign->Device 中选好器件型号，再在 Assign->Pin 中填入你想分配的管脚号和类型，或直接在原理图中选中 Input 或 Output，点鼠标右键，选 Assign Pin，填入你想分配的管脚号，编译一遍即可。但要注意菜单：Assign->Global project logic synthesis->Automatic global 选项 1 中的设置。

GINPUT：全局输入端。一些重要信号输入建议采用该脚。

如果上面的管脚不用,最好接地,1、2、84 只需要把 JP1 上的跳冒插上(并且不要使用 3 芯连接线,具体有关三芯连接线见拨位开关部分)就可以接地了如果不用的管脚与外电路相连,83 脚除了插对应跳冒,还要将时钟选择选择到 GND(具体见时钟电路部分分析),为了保证不影响外电路,应该将此电路管脚定义为输入脚。但不接逻辑。

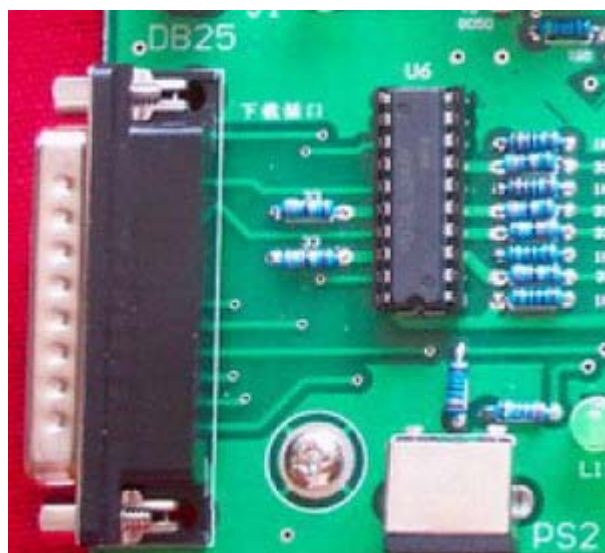
CPLD 主芯片通过排针 JP1-JP6 和外部资源连接,其中 JP3 和 JP6 为 FC10 插座,没有和板子实验电路连接,供使用者通过我们的配套 FC10 电缆就可以很方便的将 CPLD 的 VCC、GND 以及 15 个 I/O 口引出,供扩展使用,详情见附录一。

排针靠近 CPLD 芯片的一侧是和 CPLD 的 I/O 相连,另一侧和实验板上实验资源连接,如果需要对应 CPLD 的 I/O 和实验资源连接,直接将对应跳冒插上就可以了;如果需要要把 CPLD 的 I/O 和实验板外的电路连接,把对应跳冒拔调,自己连到外部,注意需要共地。

3.3 下载电路

HS102 实验板采用 JTAG 下载方式，采用 ALTERA 公司的 Byteblaster 下载电路。

为了更方便操作和提高下载的稳定性(布线宽度可以更宽，布线间距更大，抗干扰性更好)，我们 HS102 将下载电路 ByteblasterMV 也做到了实验板上。



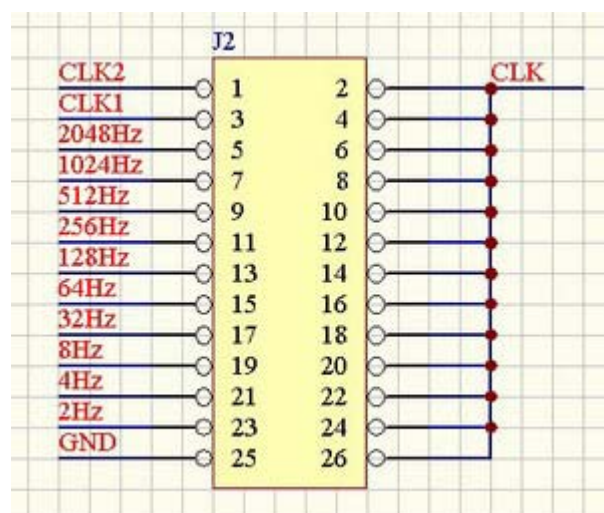
你只要将并口延长线公头接电脑并口，母头接实验板上 DB25 插头就可以在线编程了。

3.4 时钟电路(CLK)

CPLD 设计中可能会用到时钟信号来控制电路的执行 ,HS102 型实验板上提供了三种时钟电路:

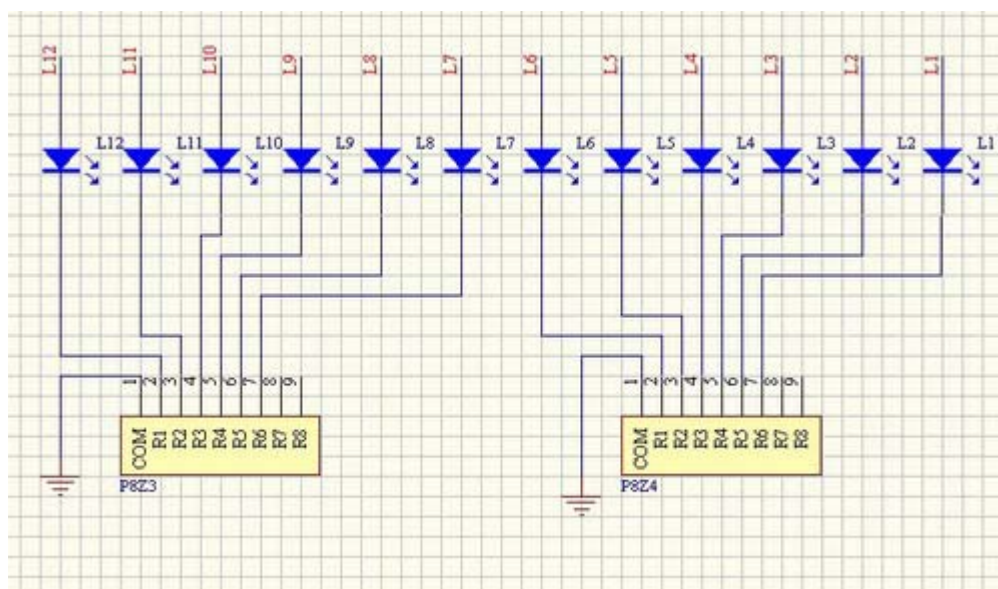
- 1) 由 32768 的晶振 OSC3 和分频电路 CD4060 构成 , 可以提供 2048 ~ 2Hz 的十种脉冲信号 , 该脉冲信号是标准的方波信号。
- 2) 由 11.0592M 的 OSC1 晶振和 74HC00 构成 (这里 74HC00 主要是为了提高时钟信号的驱动能力), 该电路提供 11.0592M 时钟信号 , 该信号为正弦信号 , 幅度约为 0.4 ~ 4.6
- 3) 由用户提供的 1 ~ 24Hz 的 OSC1 晶振和 74HC00 构成该电路提供用户提供的晶振频率的时钟信号 , 该信号为正弦信号

这三种时钟可以由 J2 上跳冒选择 , 注意不要同时选择两种信号 ; 另外如果使用不到时钟 , 为了使 83 脚接地 , 这里 J2 要选择 GND。

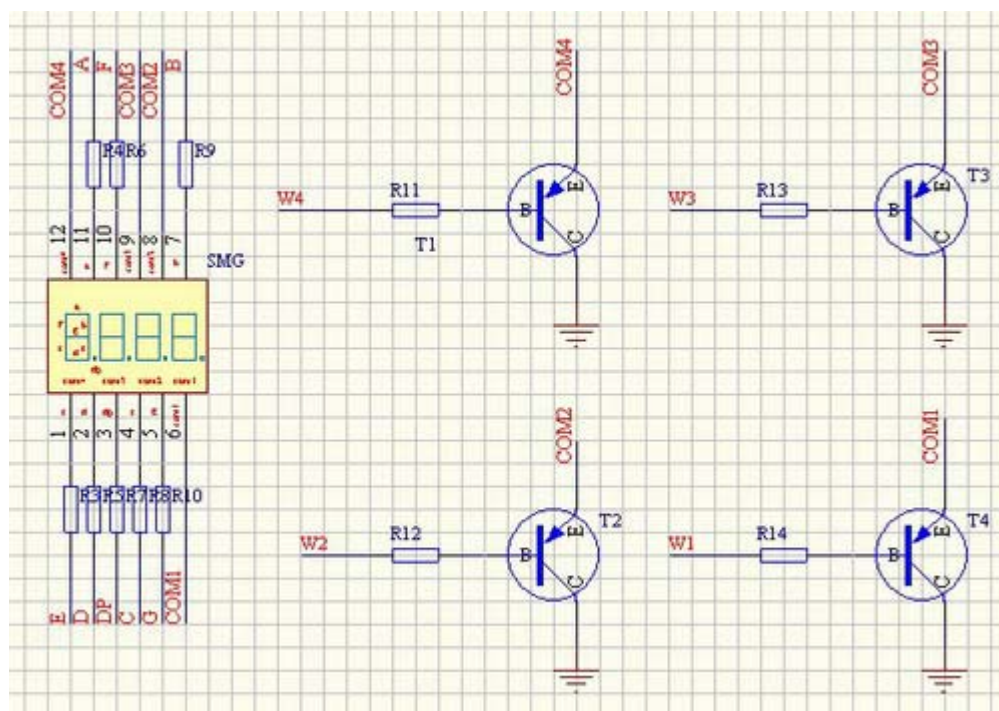


3.5 发光二极管 (LED) 电路

实验板上提供了12个LED，它们的阴极通过排阻(起到限流的作用)接地，阳极和CPLD相连，由于LED的驱动电流只要5~10mA，所以可以直接用CPLD驱动，LED亮的条件是CPLD给相应的引脚提供高电平，即如果CPLD某引脚输出为“1”，相应的LED灯亮，如果输出为“0”，相应的LED灭。



3.6 七段数码管(SMG)显示电路



LED 只能显示几位的状态，如果要显示数字的话就要使用七段数码管显示电路。七段数码管是常用的输出结果显示元件，可以用来显示 0 - 9、A-F 和一些特殊字符，常用的数码管分共阳和共阴接法。

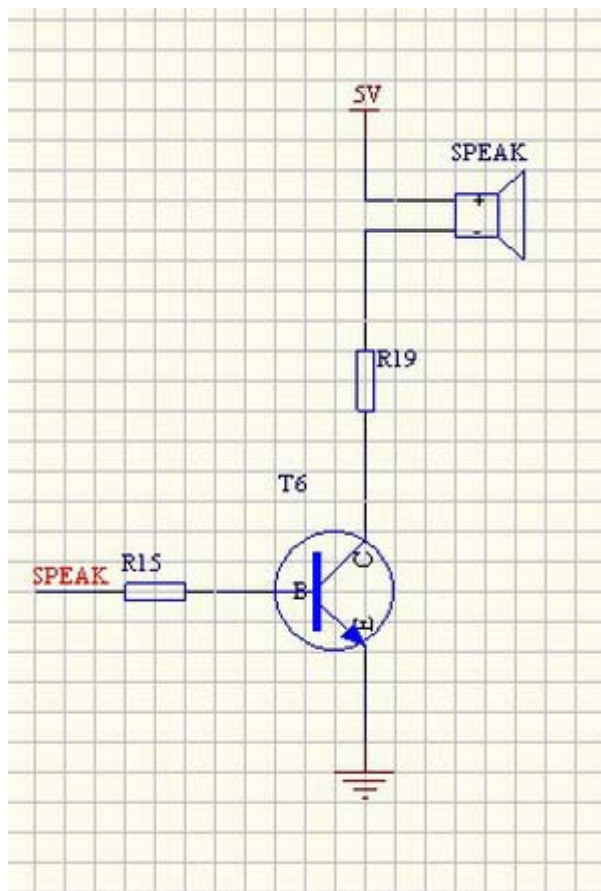
该实验板采用了 1 块共阴动态扫描接法的四位数码管(该数码管带小数点 DP)。数码管的每段和小数点可以看着是 LED，共阴接法是指 8 个 LED 的阴极接到一起作为公共段，这儿的公共段成为位码（即 COM），8 个 LED 的阳极为字码（即 a, b, c, d, e, f, g, dp, 有时也称段码），由于位码的需要的电流较大，为了避免通过 CPLD 的电路电流太大，我们用 PNP 三极管提供电流，PNP 管的基极和 CPLD 相连,当 CPLD 提供低电平(W 端)，那么位码(COM 端)也将获得低电平。

静态扫描接法是指每个数码管的位码和字码都单独由不同信号控制，这样占用的 I/O 口很多，比如 4 位数码管就要占用 32 个 I/O 口（这样

通过 CPLD 的电流也将很大), 一般实际使用中不使用该接法。

动态扫描接法是指每块数码管的对应字码接在一起, 由相同信号控制, 位码由不同的控制信号控制, 这样可以节省 CPLD 的 IO 口, 但驱动较复杂点, 需要用动态扫描的方式来驱动数码管, 也就是每块数码管的字码送相同的数据, 不同时间内通过不同位码来控制对应位的数码管的显示, 也就是说在某一时刻只有一个或一部分数码管有效, 另一时刻只有另一个或另一部分数码管有效, 但由于视觉暂停的缘故, 感觉数码管都有效。(具体理解可参考后面设计实例部分)。

3.7 交流频控蜂鸣器 (SPEAK)



蜂鸣器分为交流和直流，交流蜂鸣器必须提供交流信号才发音，并且会随交流信号频率不同发音不同(太高频率将使蜂鸣器发出的声音听不到)。HS102型FPGA/CPLD实验板上安装一个5V交流频控蜂鸣器，为了降低CPLD的功耗，我们采用一个NPN三极管驱动蜂鸣器，CPLD提供一个脉冲，经三极管放大来驱动交流蜂鸣器。

3.8 继电器控制电路(RELAY)

继电器是常用的输出控制接口，可以做直流交流信号的输出切换，达到用低压小信号控制高压电路的功能。HS102 上的继电器是 5V 常开继电器，控制电路如图 3.8。一般在直流线圈的两端会加上一个保护二极管，用来保护驱动输出端的三极管，因为在继电器的开和关之间，在线圈上会产生很大的反电动势，加上二极管便可以迅速将此反向高压吸收掉。当 CPLD 和 RELAY 相连接端提供高电平，三极管 S8050 导通，继电器触点闭合（该继电器是常开的）；反之，继电器触点保持常开状态。

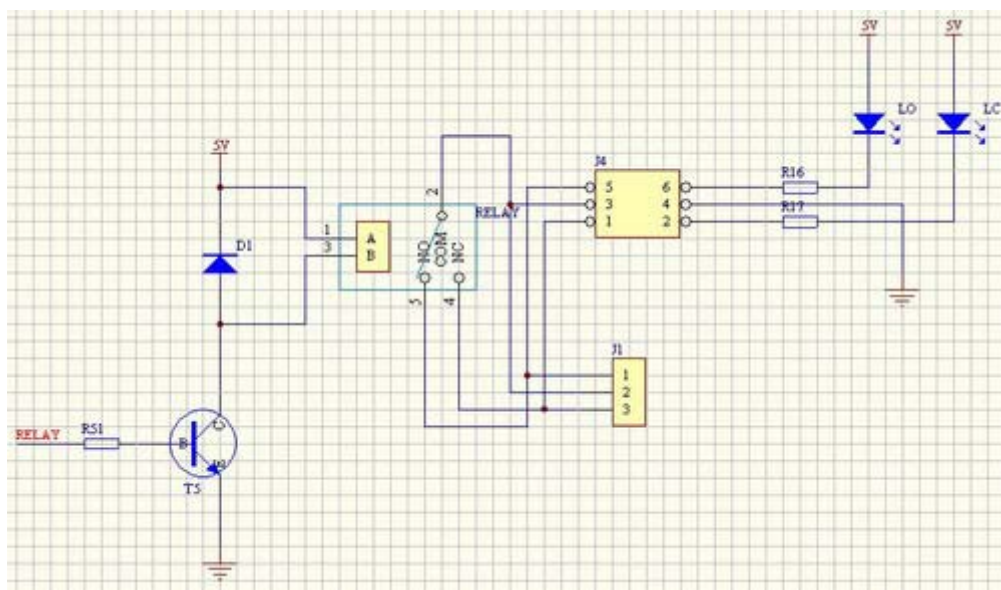


图 3.8

对继电器控制接点说明如下：

COM:common, 共同点，输出控制接点的共同接点

NC:normal close 常闭点，以 COM 位公共点，NC 和 COM 在平时呈开路状态

NO:normal open 常开点 , 以 COM 位公共点 , NO 和 COM 在平时为导通状态 (因该继电器为常开型)。

通过继电器开和关动作 , 借助 J1 接口 , 可以用来控制外部电器 (AC 220V) 打开或关闭 , 但你在做此实验时一定要注意安全。为了安全性 , 我们在电路板上用继电器控制一个低压 (DC 5V) 电路 , COM 接地 , NO 接发光二极管 L0 的阴极 (阳极通过电阻和 5V 电源相连) , NC 接二极管 LC (阳极通过电阻和 5V 电源相连) , 只要把 J4 排针用跳冒插上就可以做继电器相关的实验了。在原理上 , 继电器控制交流和直流是一样的 , 只是控制相关电路的导通与否。

3.9 按钮电路（S）

按钮用来控制程序执行时数据的输入或是特殊功能（如清零等）的设置，有时候又称按键，原理如图 3.9。按钮一端通过排阻接电源，排阻和按钮之间连接部分接入 CPLD，当按钮不按下时，按钮两端处于开路状态，按钮提供高电平给 CPLD，当按下时，按钮两端处于短路状态，提供高电平给 CPLD。

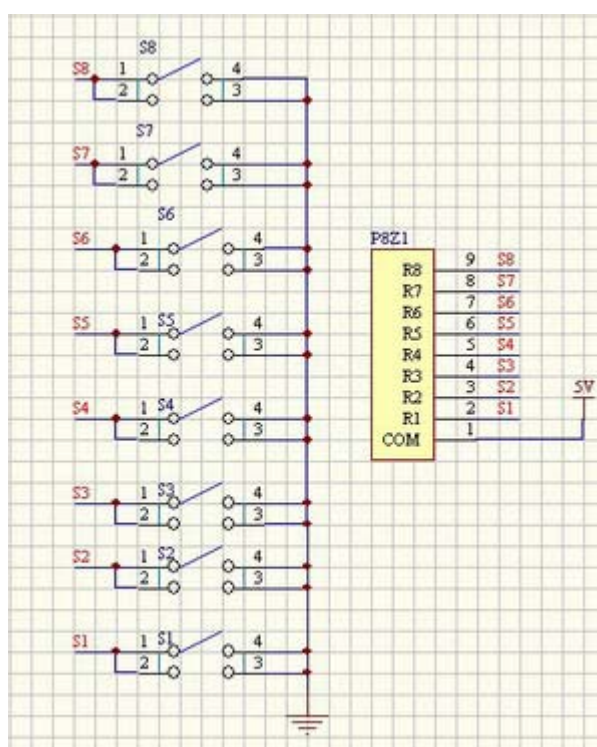


图 3.9

3.10 拨位开关(SW)

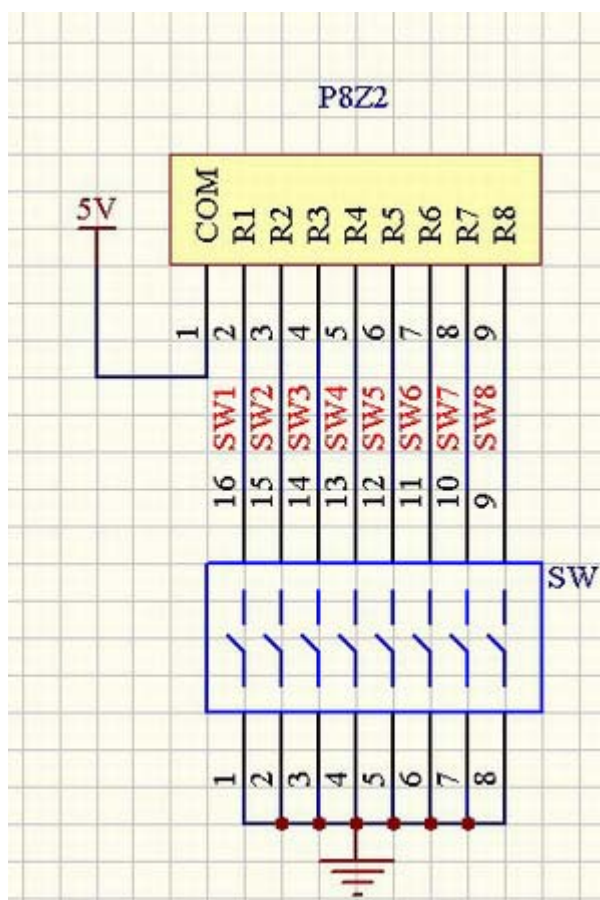


图 3.12

拨位按钮有时又称为拨码开关、拨位开关，用来控制程序执行时数据的输入（一般是电平输入）或是特殊功能的设置，原理如图 3.12。

拨位开关一端通过排阻接电源，排阻和拨位开关之间连接部分接入 CPLD，另一端接地，当拨位开关拨到下方时，拨位开关处于开路状态，拨位开关提供低电平给 CPLD，当拨位开关拨到上方时，拨位开关处于短路状态，拨位开关提供高电平给 CPLD。

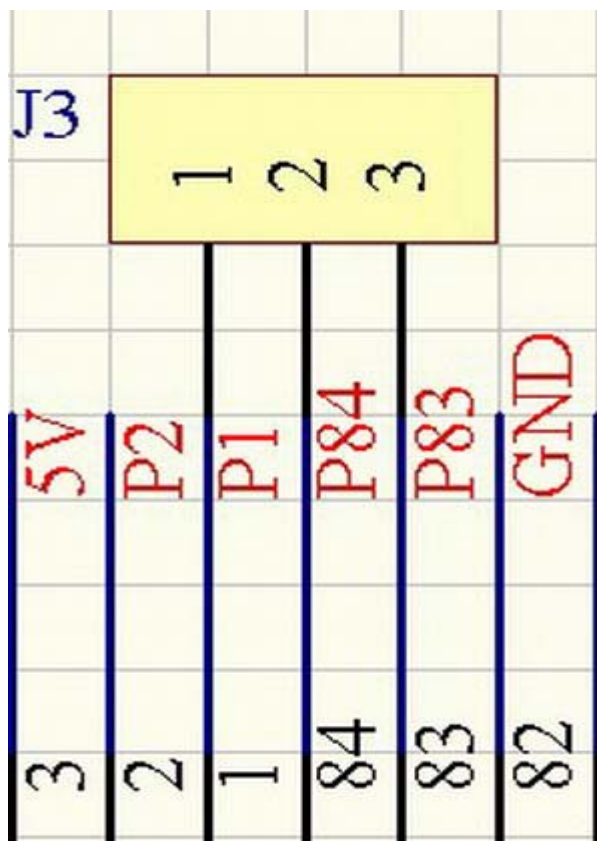


图 3.10

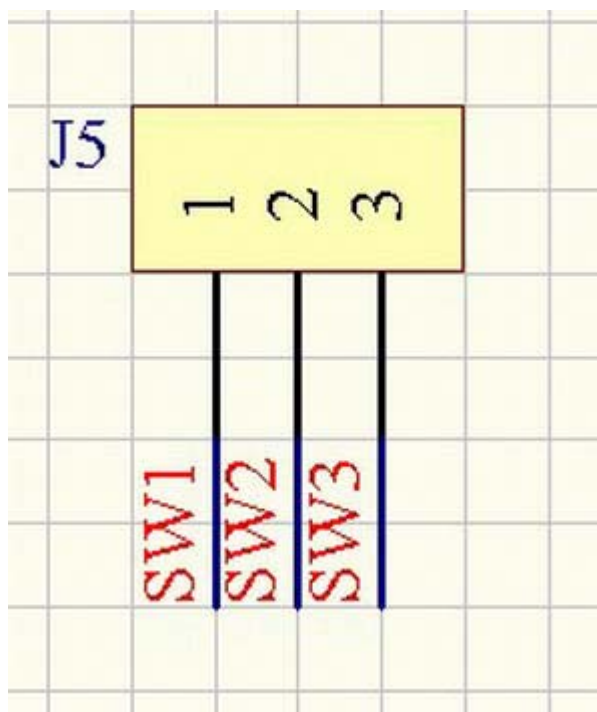


图 3.11

为了使用全局信号 1、2、84，我们把这三个脚引到 J3 上，把 SW1、SW2、SW3 引到 J5 上（如

图 3.10 和 3.11，当需要用到 1、2、84 全局信号，可以使用配套的 3 芯线将他们相连。（具体连接方式见附录一）

3.11 232 接口电路

RS - 232 信号的电平和 CPLD 信号的电平不一致，必须进行二者之间的电平转换。在此使用的集成电平转换芯片 MAX232 为 RS - 232C / TTL 电平转换芯片。它只使用 + 5V 为其工作，配接 4 个 $1\mu\text{F}$ 电解电容即可完成 RS - 232 电平与 TTL 电平之间的转换。其原理图如图 3.11-1 所示。由于 CPLD 内部不含 UART(通用异步收发器)，所以要进行 CPLD 和 PC 的 RS-232 通讯时，还需要一个 UART，我们可以用 CPLD 来实现 UART 功能，具体见后面的“6.16 RS232 通讯”。

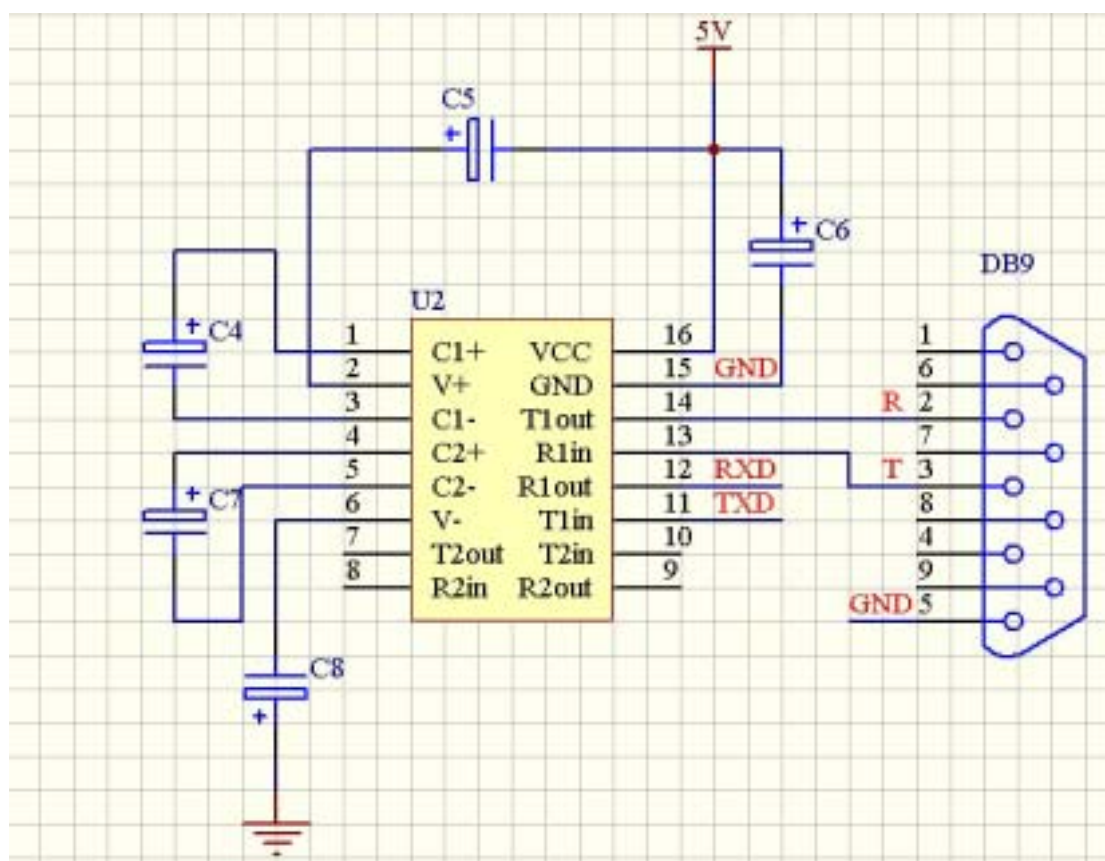


图 3.13

3.12 PS/2 接口电路

PS/2 接口电路通常使用专用芯片实现。由于 PS/2 键盘或鼠标串行输出信号速度很高 ,普通单片机无法接受 ,但可以用 FPGA/CPLD 来实现。

硬件原理图如图 3.12 所示 :

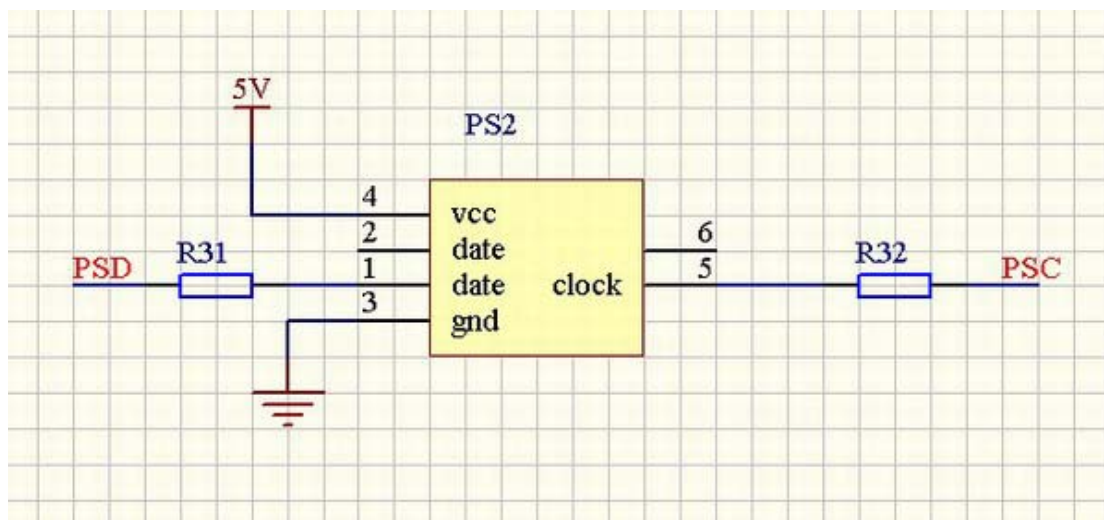
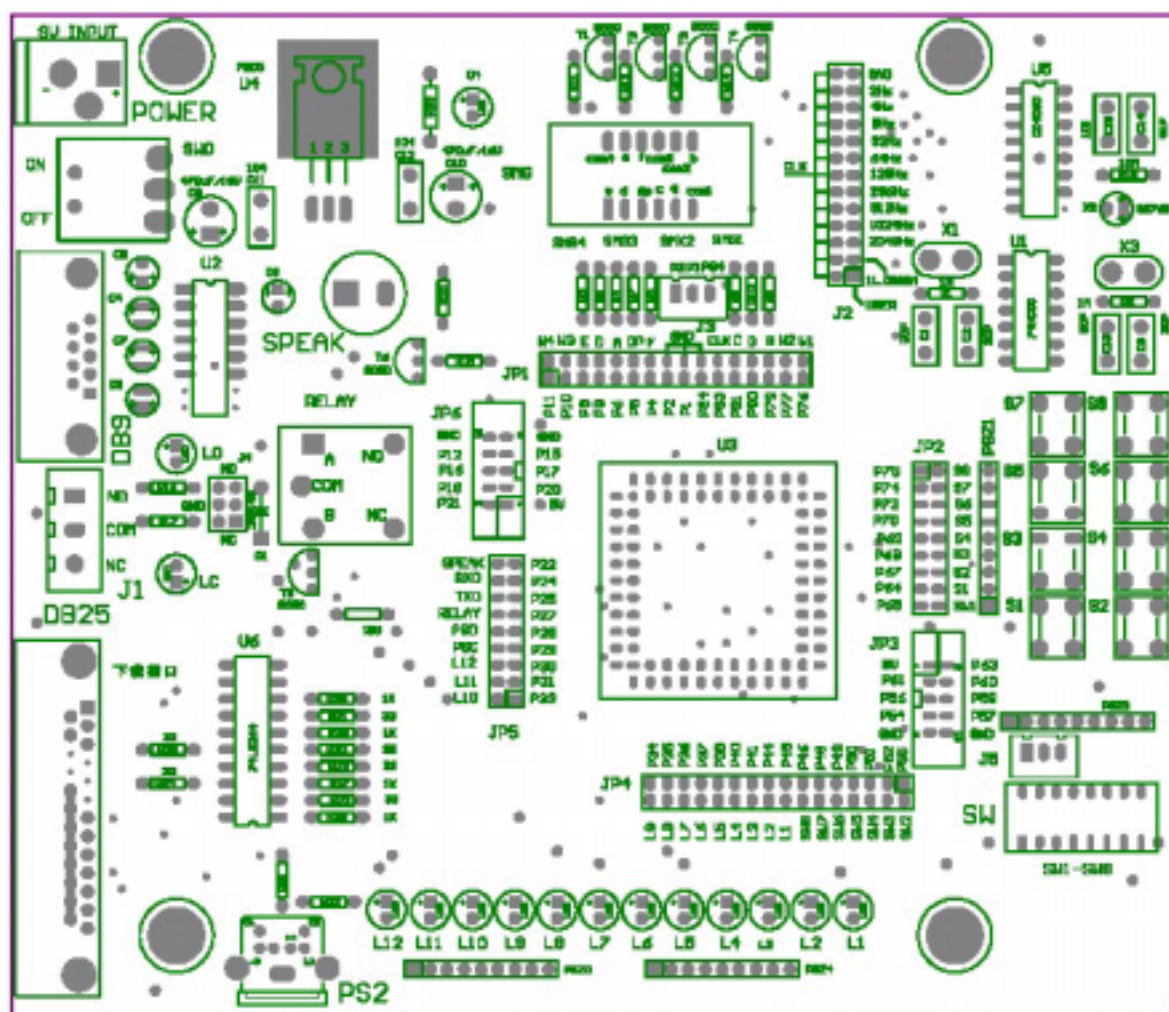


图 3.12

有关 PS2 的具体资料参考 : GUIDE 光盘/相关资料/ps2tr.zip

3.2 实验板布局

（图请参考 [HS102pcb.pdf](#)，或“GUIDE 光盘/HS102 原理图/hs102pcb.pdf”可以任意放大,看的很清楚）



3.3 实验板资源说明

(请参考实物 , 下面部分你先看原理图部分可能更能理解):

器件	功能描述
U1	74HC00, 4 个与非门电路 , 增加信号驱动能力
X1	11.0592M 的晶振
X2	32768 晶振
X3	用户晶振 , 可以由用户自行选择 , 频率 1-24M
J2	单排针 , 通过改变跳冒位置来改变进入芯片的信号频率
SMG4 ~ SMG1	共阴同步数码管 , 动态驱动接法
DB9	RS232 接口
MAX232	集成电路 , 用于 RS232 电平转换
POWER	电源插口 , 接 9V 500mA 的稳压电源
SW0	控制试验板的电源开和关
D4	指示试验板上电源是否接通
U4	LM7805 , 将 9V 直流电源转换为 5V 直流电源
PS/2	PS/2 接口 , 可以和键盘和鼠标相连
S8 ~ S1	按钮 , 平时为低电平 , 按下为高电平
拨位开关 (SW1 ~ SW8)	拨到下方 , 为 CPLD 提供高平 ; 拨到上方 , 为 CPLD 提供低电平 , 拨到下方为 CPLD 提供高电平
RELAY	5V 常开继电器
J4	排针 , 当用到 L0, LC3 时 , 全部用跳冒插上
J1	继电器和高压接口 , 此时 J4 跳冒都拔去
L0	继电器常态指示灯 (继电器是常开的)
LC	继电器动作指示灯 (继电器触点闭合)
DB25	并口下载电缆接口 , 当用板上下载电路时 , 需要使用
L12 ~ L1	LED (发光二极管) , 共阴接法 , CPLD 提供高电平亮
U5	74HC244, 板上 BYTEBLASTERMV 电路的驱动芯片
U3	CPLD 芯片 EPM7128SLC84
JP1 - JP6	EM7128 的 IO 全部引到 JP1-JP8 上 , 其中 JP1、JP2、JP4、JP5 另一侧和板子上实验资源相连 , JP2、JP6 把 CPLD 的 14 个 IO 口和 5V、GND 引出 ; 如果需要和外部连接 , 见附录一

3.4 排针两侧对应关系：

排针	外部资源	CPLD 管脚	排针	外部资源	CPLD 管脚
JP1	W4	P11	JP4	L9	P34
	W3	P10		L8	P35
	E	P9		L7	P36
	D	P8		L6	P37
	A	P6		L5	P39
	DP	P5		L4	P40
	F	P4		L3	P41
	GND	P2		L2	P44
	GND	P1		L1	P45
	GND	P84		SW8	P46
	CLK	P83		SW7	P48
	C	P81		SW6	P49
	G	P80		SW5	P50
	B	P79		SW4	P51
	W2	P77		SW3	P52
	W1	P76		SW2	P55
JP2	S8	P75	JP6	SPEAK	P22
	S7	P74		RXD	P24
	S6	P73		TXD	P25
	S5	P70		RELAY	P27
	S4	P69		PSD	P28
	S3	P68		PSC	P29
	S2	P67		L12	P30
	S1	P64		L11	P31
	SW1	P65		L10	P33

这些对应关系在设计中指定管脚需要用到，它们在电路板子上也标出了，可以直接查看电路板上对应的关系；也可以在原理图上查看。