

第二章 ALTERA 可编程逻辑器件

本章主要讲述了 ALTERA 公司 PLD 芯片的特点和性能，初学者可以跳过，当你需要考虑设计的效率和可靠性时，需要仔细了解，并且那时候你最好参考相关的英文手册原文。

ALTERA 在 20 世纪 90 年代以后发展很快，是最大的可编程逻辑器件供应商之一，总部设在位于硅谷圣侯塞，其主要产品有：属于 CPLD 的 MAX3000/5000/7000/9000 和 CLASSIC 系列；属于 FPGA 的 FLEX6K/8K/10K、APEX20K/ACE1K/APEX11/MERCURY/EXCALIBUR 和 STRATIC 系列。ALTERA 公司的开发软件 MAX+PLUSII 被普遍认为是最优秀的 PLD 开发平台之一，适合开发中小规模 PLD/FPGA；软件 QuartusII 是新一代 FPGA/PLD 开发软件，适合新器件和大规模 FPGA 的开发，将逐步取代 MaxplusII。目前 MAXPLUS 软件的资料比较多，但 QUARTUS 软件讲的很少，我们的教程上两种都讲了，**但我们强烈建议使用 QUARTUS，我们的例子也基本以 QUARTUS 为主**，为什么呢？因为现在单位开发项目基本都用 QUARTUS 软件，你直接学习 QUARTUS 以后就可以直接使用上了；另外 QUARTUS 性能远比 MAXPLUS 好。

2.1 ALTERA 器件介绍

MAX7000S/AE，MAX3000A：5v/3.3vEEPOM 工艺 PLD，是 ALTERA 公司销量最大的产品，已生产 5000 万片，从 32 个到 1024 个宏单元。MAX3000A 是 Altera 公司 99 年推出的 3.3v 低价格 EEPROM 工艺 PLD，从 32 个到 512 个宏单元，结构与 MAX7000 基本一样。

[MAX7000 数据资料下载](#) [MAX3000A 数据资料下载](#)，目前初学者使用最多的就是 EPM7128 和 EPM7064

5v	3.3v	3.3v	2.5v	宏单元	备注
EPM7032S	EPM7032AE	EPM3032A	EPM7032B	32	
EPM7064S	EPM7064AE	EPM3064A	EPM7064B	64	
EPM7128S	EPM7128AE	EPM3128A	EPM7128B	128	

EPM7256S	EPM7256AE	EPM3256A	EPM7256B	256
	EPM7512AE	EPM3512A	EPM7512B	512

FLEX10KE/ACEX1K FLEX10KE 是 98 推出的 2.5vSRAM 工艺 PLD(FPGA), 从 3 万门到 25 万门, 主要有 10K30E, 10K50E, 10K100E, 带嵌入式存储块(EAB) 较早期的型号还有 FLEX10K(5V), FLEX10KA(3.3v), 5v 的 10K 和 3.3v 的 10KA 已基本不推广, 10KE 目前也已使用较少, 逐渐被 ACEX1K 和 Cyclone 取代。 ACEX1K 是 2000 年推出的 2.5v 低价格 SRAM 工艺 PLD(FPGA), 结构与 10KE 类似, 带嵌入式存储块(EAB), 部分型号带 PLL, 主要有 1K10, 1K30, 1K50, 1K100。 [FLEX10K 资料下载](#) [ACEX1K 资料下载](#)

2.5v	2.5v	逻辑单元 (LE) 数量	嵌入式 RAM 块	备注
	EP1K10	576	3	每个 RAM 块 容量为 4Kbit
EPF10K30E	EP1K30	1728	6	
EPF10K50E	EP1K50	2880	10	
EPF10K100E	EP1K100	4992	12	

FLEX6000 5v/3.3vSRAM 工艺, 较低价格的 CPLD(FPGA), 结构与 10K 类似, 但不带嵌入式存储块, 目前已使用较少, 逐渐被 ACEX1K 和

Cyclone 取代 FLEX6K 资料下载

5v	3.3v	逻辑单元 (LE) 数量	备注
	EPF6010A	880	
EPF6016	EPF6016A	1320	
EPF6024	EPF6024A	1960	

APEX20K/20KE 99年推出的大规模 2.5v/1.8v SRAM 工艺 CPLD(FPGA), 带 PLL, CAM, EAB, LVDS, 从 3 万门到 150 万门 [APEX20K/20KE 资料下载](#)

2.5v	1.8v	逻辑单元 (LE) 数量	嵌入式 RAM 块	备注
	EP20K60E	2560	16	每个 RAM 块 容量为 4Kbit
EP20K100	EP20K100E	4160	26	
EP20K200	EP20K200E	8320	52	
	EP20K300E	11520	72	
EP20K400	EP20K400E	16640	104	
	EP20K600E	24320	152	
	EP20K100E	38400	160	
	EP20K1500E	51840	216	

APEX II APEX 的高密度 SRAM 工艺的 FPGA, 规模超过 APEX, 支持 LVDS, PLL, CAM, 用于高

密度设计 APEX II 资料下载

1.5v	逻辑单元 (LE) 数量	嵌入式 RAM 块 数量	备注
EP2A15	16640	104	每个 RAM 块容 量为 4Kbi t
EP2A25	24320	623	
EP2A40	38400	655	
EP2A70	67200	1147	
EP2A90	89280	1524	

Stratix :al tera 最新一代 SRAM 工艺大规模 FPGA, 集成硬件乘加器, 芯片内部结构比 Al tera 以前的产品有很大变化 Stratix 资料下载

1.5v	逻辑单 元 LE	512bi t RAM 块	4Kbi t RAM 块	512K MegaRAM 块	DSP 块	备注
EP1S10	10570	94	60	1	6	每个 DSP 块 可实现 4 个 9x9 乘法/累 加器 RAM 块可以
EP1S20	18460	194	82	2	10	
EP1S25	25660	224	138	2	10	
EP1S30	32470	295	171	4	12	
EP1S40	41250	384	183	4	14	

EP1S60	57120	574	292	6	18	另加奇偶校 验位
EP1S80	79040	767	364	9	22	
EP1S120	114140	1118	520	12	28	

Cyclone (飓风): Al tera 最新一代 SRAM 工艺中等规模 FPGA , 与 Stratix 结构类似 , 是一种低成本 FPGA 系列 , 配置芯片也改用新的产品 [Cyclone 资料下载](#)

型号 (1.5V)	逻辑单 元	锁相 环	M4K RAM 块	备 注
EP1C3	2,910	1	13	每块 RAM 为 4Kbi t , 可以另 加 1 位奇偶校验位
EP1C4	4,000	2		
EP1C6	5,980	2	20	
EP1C12	12,060	2	52	
EP1C20	20,060	2	64	

Excaltibur 片内集成 CPU (ARM922T) 的 PLD/FPGA 产品

1.8v	逻辑单元 (LE)	ARM Cores	Processor RAM Kbi ts	嵌入式 RAM Kbi ts
EPXA1	4160	1	384	52

EPXA4	16640	1	1536	208
EPXA10	38400	1	3072	320

Mercury SRAM 工艺 FPGA , 8 层全铜布线 , I/O 性能及系统速度有很大提高 , I/O 支持 CDR(时钟-数据自动恢复) , 支持 DDR SDRAM 接口 , 内部支持四端口存储器 , LVDS 接口最高支持到 1.25G , 用于高性能高速系统设计 , 适合做高速系统的接口。

1.5v	逻辑单元 (LE) 数量	CDR 通道数	嵌入式 RAM 块数量	备注
EP1M120	4800	8	12	每个 RAM 块 容量为 4Kbit
EP1M350	14400	18	28	

Stratix GX: Mercury 的下一代产品 , 基于 Stratix 器件的架构 , 集成 3.125G 高速传输接口 , 用于高性能高速系统设计。

配置 EEPROM 用于配置 SRAM 工艺 FPGA 的 EEPROM , EPC2 以上的芯片可以用电缆多次擦写

型号	容量	适用型号(详细内容 请参阅数据手册)	电压	常用 封装
EPC1441	441K	6K, 10K10-10K30 ,	3.3/5v 自动选	8 脚

(不可擦写)	bits	1K10	择 (可在软件中设定)	DIP
EPC1 (不可擦写)	1M bits	10K30E/1K30, 10K/1K50, 更大芯片 要多片级连	3.3/5v 自动选 择 (可在软件中 设定)	8 脚 DIP
EPC2 (可重复擦写)	2M bits	10K/1K/20K100 以 下, 更大芯片要多片 级连	3.3/5v 管脚控 制 (请查阅数据 手册)	20 脚 PLCC
EPC8 (可重复擦写)	8M bits			100 脚 PQFP
EPC16 (可重复擦写)	16M bits			88 脚 BGA

Cyclone 专用配置器件 专门用于配置 Cyclone 器件的 EEPROM, 可以用 Byteblaster II 在线改写, 电压为 3.3v, [数据手册下载](#)

型号	容量	适用型号 (详细内容请参阅数据手册)	常用封装
EPCS1	1M bits	EP1C3, EP1C4, EP1C6 (压缩模式)	8 脚 SOIC

EPCS4	4M bits	所有 Cyclone 型号	8 脚 SOIC
-------	------------	---------------	-------------

Nois 软处理器 : verilog 编写的一个 32 位/16 位可编程 CPU 核 , 可以集成到各种 FPGA 中 ,Altera 提供免费开发软件用于软件和硬件开发

2.2 MAX7000 系列器件特点、性能

由于我们实验板上使用的是 MAX7000 系列的芯片 ,所有我们单独介绍 MAX7000 系列器件的特点和性能。

2.2.1 基本特征

- 高性能 , 以第二代 MAX 结构为基础的基于 E²PROM 的可编程逻辑器件。
- 通过内置在 MAX 中的 IEEE Std. 1149. JTAG 接口实现 5V 的在系统的编程 (ISP) .ISP 电路兼容 IEE Std. 1532.
- 包含 5.0V MAX7000S 器件和 5.0V 基于 ISP 的 MAX7000S 器件。
- 在 MAX7000S 器件中内置有 JTAG 边界扫描 (BST) 电路 , 带有 128 个或更多宏单位。
- 600 ~ 5000 的可有门电路密度组成了完整的 CPLD 系列。
- 5ns 的引脚间逻辑延时 , 高达 175.4MHz 的计数频率 (包括互连接)。
- 符合 PCI 要求的器件。

关于在系统可编程的 3.3V MAX 7000A 或 2.5V MAX 7000B 器件的

信息, 可参考 MAX7000A 可编程逻辑器件系列数据手册或 MAX7000B

可编程逻辑器件系列数据手册

MAX7000 器件特性

特性	EPM703 2	EPM706 4	EPM709 6E	EPM712 8E	EPM716 0E	EPM719 2E	EPM725 6E
可有门/个	600	1250	1800	2500	3200	3750	5000
宏单元/个	32	64	96	128	160	192	256
逻辑数组模 块/个	2	4	6	8	10	12	16
最大用户可 用 I/O 引脚/ 只	36	68	76	100	104	124	164
tpD /ns	6	6	7.5	7.5	10	12	12
t sU/ns	5	5	6	6	7	7	7
t F u/ns	2.5	2.5	3	3	3	3	3
tco1/ns	4	4	4.5	4.5	5	6	6
fcNT/MHz	151.5	151.1	125.0	125.0	100.0	90.0	90.0

MAX7000S 器件特性

特性	EPM703 2	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
可有门/ 个	600	1250	1800	2500	3200	3750
宏单元/ 个	32	64	96	128	160	192
逻辑数组 时钟/个	2	4	6	8	10	12
最大用户 可用 I/O 引脚 /只	36	68	76	100	104	124
tpD /ns	6	6	7.5	7.5	10	12
t sU/ns	5	5	6	6	7	7
t F u/ns	2.5	2.5	3	3	3	3
tco1/ns	4	4	4.5	4.5	5	6
fcNT/MHz	151.5	151.1	125.0	125.0	100.0	90.0

2.2.2 更多特性

- MAX 7000S 器件可选择开漏输出。
- 带有独立的清零、预置、时钟和时钟使能控制的可编程宏单位触发器。
- 可编程的节电模式，每个宏单位可节省 50% 的功率。
- 可配置的扩展乘积项分配，允许每个宏单元拥有多达 32 个乘积项。
- 44 ~ 208 引脚的 PLCC、PGA、PQFP、RQFP 和 1.0mm 的 TQFP 封装。
- 为保护设计者所有权而设的可编程加密位。
- 3.3V 或 5.0V 下工作：

MultiVioI tI /O 接口操作，允许器件与 3.3V 或 5.0V 设备相连 (44 脚的封装中不包含 MultiVioI tI /O 操作)；

引脚可兼容低的 MAX7000A 和 MAX7000B 器件。

- MAX7000E 和 MAX7000S 器件的增强特性：
 - 6 引脚输出或逻辑驱动输出使能信号；
 - 带有反相功能的 2 个全局时钟信号；
 - 从 I/O 引脚到宏单元寄存器的专用路径提供了快速输入建立时间；
 - 可编程的输出斜率控制。
- Alreat 开发系统为基于 Windows 的 PC 和 Sun SPARC 平台及 HP9000 系列 700/800

工作站提供软件设计支持和自动布线。

- 由 EDIF200 和 300 网络文件、参数化模块库(LPM)、Verilog、HDL、VHDL 和其他流行 IDE 工具接口(诸如 Cadence、Exemplar Logic、Mentor Graphics、OrCAD、Synopsys 和 VeriBest 制造商)提供额外的设计入口和仿真支持。
- 编程支援：
 - Alreta 的主编程单元 (MPU) 和来自第三方制造商的编程硬件支持所有 MAX7000 器件编程；
 - BitBlaster 串行下载电、ByteBlasterWV 并行口下载电缆和 MasterBlaster 串行/通用串行总线 (USB) 下载电缆支持对 MAX7000S 器件的编程。

2.2.3 MAX 器件简介

高密度、高性能 PLD 的 MAX7000 系列以 Alreta 公司的第二代 MAX 结构为基础，以先进的 CMOS 工艺制造。基于 E²PROM 的 MAX7000 系列可提供 600 ~ 500 个可用的门电路、ISP、引脚间 5ns 的延时以及高达 175.4MHz 的计数速度。- 5、- 6、- 7 和 - 10 速度等级的 MAX700S 器件和 - 5、- 6、- 7 和 - 10P 和 - 12P 速度等级的 MAX7000 及 MAX7000E 器件都符合 PCI SIG PCI 局部总线规范 2.2 版本。可用的速度等级如表 2.2.3 - 1 所列。

表 2.2.3 - 1 MAX7000 速度等级

器件	速度等级									
	-5	-6	-7	-10P	-10	-12P	-12	-15	-15T	-20
EPM7032										

EPM7032S										
EPM7064										
EPM7064S										
EPM7096										
EPM7128E										
EPM7128S										
EPM7160E										
EPM7160S										
EPM7192E										
EPM7192S										
EPM7256E										
EPM7256S										

MAX7000E 器件包括 EPM7128E、EPM7160E、EPM7192E 和 EPM7256E 器件，具有以下增强特性：附加的全局时钟和输出使能控制、增强的互连资源、快速输入寄存器和一个可编程斜率。MAX7000S 在系统可编程 MAX7000 器件包括 EPM7032S、EPM7064S、EPM7128S、EPM7160S、EPM7192S 和 EPM7256S。MAX7000S 包含 MAX7000E 的所有增强特性和带有 128 或更多宏单元的 JTAG BST 电路、ISP 以及开漏输出选择。MAX7000 器件特性如表 4.14 所列。

MAX7000 结构支持 100%TTL 仿真及 SSI、MSI 和 LSI 逻辑功能高密度集成。它可集成多种范围内的器件功能，从 PAL、GAL 和 22V10 到 PLSI。MAX 700 器件有多种封装形式，有 PLCC、PGA、PQFP、RQFP 和 TQFP。MAX7000 最大用户 I/O 引脚如表 4.14 所列。

表 2.2.3 - 2 MAX 7000 器件特性

特性	EPM7032、 EPM7064、 EPM7096	所有 MAX7000E 器件	所 有 MAX7000S 器件
经 JTAG 界面的 ISP			
JTAG BST 电路			
开漏输出选择			

快速输入寄存器			
6 个全局输出使能			
2 个全局时钟			
斜率控制			
Mutti Volt 界面			
可编程寄存器			
并行扩展器			
共享扩展器			
节电模式			
加密位			
PCI 相容器件			

仅用于 EPM7128S、EPM7192S 和 EPM7256S 器件。
在 44 脚的封装中没有 Mutti Volt I/O 接口。

表 2.2.3 - 3 MAX7000 最大用户 I/O 引脚

器件	44 脚 PLCC	44 脚 PQFR	44 脚 TQFR	68 脚 PLCC	84 脚 PLCC	100 脚 PQFR	100 脚 TQFR	160 脚 PQFR	160 脚 PGA	192 脚 PGA	208 脚 PQFR	208 脚 RQFP
EPM7032	36	36	36									
EPM7032S	36		36									
EPM7064	36		36	52	68	68						
EPM7064S	36		36		68		68					
EPM7096				52	64	76						
EPM7128E					68	84		100				
EPM7128S					68	84	84	100				
EPM7160E					64	84		104				
EPM7160S					64		84	104				
EPM7192E								124	124			
EPM7192S								124				
EPM7256E								132		164		164
EPM7256S											164	164

当 MAX7000S 的 JTAG 接口用于边界扫描测试或 ISP 时, 4 个 I/O 引脚用做 JTAG 引脚。

在将某个设计定为这种封装形式以前要进行热分析。更详细的信息见 Alreta 器件操作要求数据手册。

MAX7000 器件利用 CMOS E²PROM 单元来实现逻辑功能。用户可配

置的 MAX7000 结构适用多种独立的组合和时序逻辑功能。在设计开发和调试期间，器件可被快速和高速地反复重新编程，其编程和擦除次数可高达 100 次。MAX7000 器件包含 32 ~ 256 个宏单元，以 16 个宏单元为一组，被称为逻辑数组块 (LAB)。每个宏单元有一个可编程地“与”门/固定地“或”门阵列，以及带有独立地可编程时钟、时钟使能、清除和预置功能地一个可配置寄存器。为了建立复杂地逻辑功能，可将共享扩展乘积项和高速并行扩展乘积项作为每个宏单元地补充，这样每个宏单元就拥有多达 32 个乘积项。

MAX7000 系列提供了可编程地速度/功率优化。一个设计中对速度敏感地部分可以工作在高速/满功率条件下，而其余部分则工作在降速/低功率下。设计者可以利用这个速度/功率优化特征将一个或更多宏单元配置以正常功率的 50% 或更低的功率运行，而这样仅增加一个标称定时延迟。当开/关一个对速度不敏感的速度时，MAX7000E 和 MAX7000S 器件就降低输出缓冲斜率，以减少瞬时噪声。所有 MAX7000 器件 (44 脚器件除外) 的输出驱动器都可设置工作在 3.3V 或 5.0V，使得 MAX7000 器件可应用在混合电压系统中。

Altera 开发系统支持 MAX7000 系列。该系统是一个提供图解和文本得工具包，其中包括 VHDL、Verilog HDL、Altera 硬件描述语言 (AHDL)、波形设计人口、编译和逻辑合成、模拟和时序分析以及器件编程。该软件还提供 EDIF200 和 300、LPM、VHDL、Verilog HDL 和来自其他工业标准 PC 及基于 UNIX 工作平台得 EDA 工具所支持得用于附加设计人口和模拟接口。这些软件在基于 Windows 的 PC、

SunSPARC 平台和 HP9000 系列 700/800 工作站上运行。

MAX7000 器件有多种封装形式：68 引脚的 PLCC 封装，44 引脚的 PQFP、PLCC、TWFP 封装和 84 引脚的 PLCC 封装。

2.2.4 功能描述

MAX7000 结构包括以下部分：

- 逻辑数组块；
- 宏单元；
- 扩展乘积项（共享的和并行的）；
- 可编程的互连组数；
- I/O 控制块。

MAX7000 结构包括 4 个专用的输入端，可用做通用的输入端或每个宏单元和 I/O 引脚的全局控制信号（时钟、清除和 2 个输出使能信号）。

1. 逻辑数组块；

MAX7000 结构由高性能、灵活的和被称作逻辑数组块（LAB）的逻辑数组块连接而成。LAB 包括 16 个宏单元组数。多个 LAB 通过可编程互连组数（PIA）连接在一起，所有的输入端、I/O 脚和宏单元共享一个全局总线。

每个 LABS 输入以下信号：

- 来自 PIA 的被用做通用逻辑输入的 36 个信号；
- 全局控制信号：用于寄存器的第二功能；

从 I/O 脚到寄存器的直接输入路径：用于 MAX7000E 和 MAX7000S 器件的快速建立时间。

2. 宏单元

MAX7000 的宏单元可分别设置成时序逻辑或组合逻辑功能。宏单元由 3 个模块组成：逻辑数组、乘积项选择矩阵和可编程寄存器。EPM7032、EPM7064 和 EPM7096 器件的宏单元如图 4.25 所示。MAX7000E 和 MAX7000S 器件的宏单元如图 4.26 所示。

组合逻辑是在逻辑数组中实现的。在逻辑数组中，它为每个宏单元提供 5 个乘积项。乘积项选择矩阵将这些乘积项分配用作基本的逻辑输入（“或”门或“异或”门）来实现组合逻辑功能，或作为二级输入到宏单元的寄存器执行清除、预置、时钟合时钟使能控制功能。还有两类扩展乘积项（扩展）可作为宏单元逻辑资源的补充。

- 共享扩展：反馈回逻辑组数的反相乘积项；
- 并行扩展：来自相邻宏单元的乘积项。

Altera 开发系统会根据设计的逻辑要求自动地对乘积项分配进行优化。每个宏单元触发器在可编程时钟地控制下可分别编程来实现 D、T、JK 或 SR 触发器地功能。在组合逻辑操作时，这些触发器就被旁路。在设计者指定需要地触发器类型；Altera 开发系统软件再为每个寄存器功能选择最有效地触发器进行工作，以优化资源利用。

每个可编程的寄存器可以在以下 3 种不同的控制时钟下工作。

- 一个全局时钟信号。这种方式能最快速实现时钟到输出的

操作。

- 一个全局时钟信号由一个高电平有效的时钟使能信号控制。这种方式给每个触发器提供了一个使能信号，但它仍可实现快速的从时钟到输出的操作。

- 带有一个乘积项的数组时钟。这种方式下，触发器的时钟信号来自隐藏的宏单元或 I/O 脚。

在 EPM7032、EPM7064 和 EPM7096 中，全局时钟信号来自一个专门的时钟脚 GCLK2/GCLK1，如图 4.23 所示。MAX7000E 和 MAX7000S 器件中有 2 个全局时钟信号，如图 4.24 所示。这 2 个时钟信号可以作为时钟信号或作为全局时钟引脚 GCLK1 或 GCLK2 的“填”或“补”。

每个寄存器也支持异步预置和消除功能。乘积项选择矩阵通过分配乘积项来控制这些功能。尽管由乘积项驱动的对寄存器的预置和清除信号是高电平有效，但在逻辑数组中将此信号反相也可得到低电平。此外，每个寄存器的清除功能可由低电平有效的全局清除引脚 (GCLRn) 实现。上电时，器件中的每个寄存器的输出都被设置成低电平状态。

所有 MAX7000E 和 MAX7000S 的 I/O 脚都有一个宏单元寄存器的快速输入路径。这个路径允许一个信号绕过 PIA 和组合逻辑，以极短的输入时间 (2.5ns) 被直接驱动到 D 触发器的输入端。

3. 扩展乘积项

尽管每个宏单元中的 5 个乘积项能实现大部分的逻辑功能，但是，要完成复杂的逻辑功能就需要增加乘积项，所需的逻辑资源由其

它宏单元提供。MAX7000 结构还允许共享和并行扩展乘积项 (扩展), 直接为同一个 LAB 中的任意宏单元提供额外的乘积项。这些扩展可以确保以最少的逻辑资源来实现最快的逻辑合成。

4. 共享扩展

每个 LAB 含有 16 个共享扩展, 可以将其看做不受约束的、带有反馈到逻辑数组反相输出的单个乘积项的集合 (一个宏单元包括一个)。每个共享扩展能被 LAB 中的任意一个或所有宏单元使用和共享以建立更复杂的逻辑功能。在使用共享扩展时, 会产生一个小的延时 (t_{SEXP})。图 4.27 表示了共享扩展是如何与多个宏单元协同工作的。共享扩展能被一个 LAB 中的任何一个或所有的宏单元共享。

5. 并行扩展

并行扩展是不使用的乘积项, 它被分配给邻近的宏单元来实现快速、复杂的逻辑功能。并行扩展允许多达 20 个乘积项直接输入到宏单元的“或”门, 其中的 5 个由宏单元提供, 15 个并行扩展由 LAB 中相邻的宏单元提供。

翻译器可将 3 组、每组 5 个并行扩展自动分配给需要增加乘积项的宏单元。一组 5 个并行扩展会导致产生一个小的、增加的延时 (t_{PEXP})。例如, 若一个宏单元需要 14 个乘积项, 翻译器就为其分配 2 组并行扩展; 第一组包括 5 个乘积项, 增加的总延时为 $2 \times t_{\text{PEXP}}$ 。

每个 LAB 中的 2 组 8 个宏单元 (如: 宏单元 1~8 和 9~16) 形成两条链, 用来借入或借出并行扩展。一个宏单元从编号比它小的宏单元借入并行扩展。例如, 宏单元 8 可以从宏单元 7, 或从宏单元 7

和 6, 或从宏单元 7、6 和 5 中借入并行扩展。在每 8 个一组中, 最小编号的宏单元只能借出并行扩展, 最大编号的宏单元只能借入并行扩展。图 4.28 表示并行扩展是如何从相邻的宏单元中被借入的。在一个宏单元中未用的乘积项可分配给相邻的宏单元。

6. 可编程的互连数组

LAB 之间通过可编程的互连数组 (PIA) 形成逻辑通路。这个可编程互连数组全局总线是一条可编程的路径, 它可将任何信号源连接到器件内的任何目的地。所有 MAX7000 的专用输入端、I/O 脚和宏单元的输出都输入到 PIA, 这就使得 PIA 上包含了贯穿整个器件得所有信号。每个 LAB 所需得信号都从 PIA 输入。图 4.29 表示了 PIA 信号是如何输入到 LAB 的。一个 E²PROM 单元控制着 2 个输入“与”门的一个输入端信号, 用来选择一个 PIA 信号, 使其进入相应的 LAB。

尽管在掩膜或 FPGA 当中基于信道的路径方案其延时是累积的、变化的和与路径有关的, 但 MAX7000 PIA 的延时却是固定的。PIA 摒除了信号之间的斜的通路, 从而使得时间特性便于预知。

7. I/O 控制块

I/O 控制块允许每个 I/O 脚分别设置成输入、输出或双向操作。所有得 I/O 脚都有一个三态缓冲器, 它们由一个全局输出使能信号控制, 或直接与地或 V_{CC} 相连。图 4.30 所示为 MAX7000 系列地 I/O 控制块。EPM7032、EPM7064 和 EPM7096 器件有 2 个全局输出使能信号, 由 2 个专门地低电平有效地输出使能引脚 (OE1 和 OE2) 驱动。MAX7000E 和 MAX7000S 全局有 6 个全局输出使能信号, 由 2 个输出使能信号、1

套 I/O 引脚和 1 套 I/O 宏单元的“真”或“补”信号驱动,如图 4.31 所示。

8. 在系统编程

MAX7000S 器件通过一个工业标准 4 脚的 JTAG 接口 (IEEE Std. 1149.1 - 1990) 来实现在系统编程 (ISP)。ISP 允许开发和调试过程中快速、高效的反复编程操作。MAX7000S 结构可在内部产生编程 E²PROM 单元所需的高编程电压,这样在系统编程只需要一个 5V 的单电源。在系统编程过程中, I/O 引脚的三态状态和上拉电阻可消除电路板上的干扰。上拉电阻标称值为 50K

由于具有 ISP 功能,在对器件进行编程之前可以使用标准的在线测试装置,直接将器件安装到印刷电路上来简化工艺流程。MAX7000S 可以通过在线测试仪 (ICT)、嵌入式处理器或 Altera MasterBlaster、ByteBlasterMV、ByteBlaster、BitBlaster 下载电缆 (ByteBlaster 电缆以不再使用,它已经被 ByteBlasterMV 电缆代替,可编程和配置 2.5V、3.3V 和 5.0V 的器件) 下载信息并编程。将器件安装到电路板上再对其编程,可以防止多引脚封装形式下 (如 QFP 封装) 由于操作器件而出现引脚损坏的情况。这样还可使系统在推向市场后仍能对器件进行重新编程,例如通过软件或调制解调器实现产品的升级等。

在系统编程是通过自适应算法或固定算法来实现的。自适应算法从单元中读出信息并调整接下来的编程步骤,这样可对相应的单元实现尽可能短的编程时间。由于某些在线测试仪不支持自适应算法,Altera 还为器件提供了固定算法。使用固定算法的器件其品名带有

“F”后缀。在线测试仪、PC 或嵌入式处理器可使用 Jam 标准测试和编程语言 (STAPL) 对 MAX7000S 器件进行编程。

MAX7000S 的 ISP 电路兼容 IEEE Std. 1532 是一个允许多个 PLD 厂商的 ISP 共存的标准。

9. 可编程的速度/功率控制

MAX7000 器件提供了一个节电模式, 支持在用户定义的信号通路或对整个器件进行低功耗操作, 因为大部分逻辑应用只需要所有门电路中的一小部分在最高频率下工作, 所以这个特性可以使总的功耗减少 50% 或者更多。

设计者可以将 MAX7000 器件中每个独立的宏单元编程为高速 (打开 Turbo Bit 选项) 或低功耗 (关闭 Turbo Bit 选项) 操作。结果, 设计中对速度敏感的路径就可能以高速运行, 而其余的路径可以工作在低功耗模式下。运行在低功耗模式下的宏单元, 其 t_{LAD} 、 t_{LAC} 、 t_{ICLKEN} 、 t_{SEXP} 、 t_{ACL} 、和 t_{CPPW} 参数会增加一个标称延时 (t_{LPA})。

10. 输出配置

MAX7000 器件的输出可通过编程来满足各种系统级的要求。

11. MultiVoltage I/O 界面

MAX7000 器件除 44 脚外, 均支持 MultiVoltage I/O 接口特性, 允许 MAX7000 与不同电压的系统相连。所有封装的 5.0V 器件可设置 3.3V 或 5.0V I/O 脚操作。这些器件有一组用于内部操作的 V_{CC} 引脚和输入缓冲引脚 (V_{CCINT}), 另外还有一组 I/O 输出的驱动引脚 (V_{CCIO})。

V_{CCINT} 引脚必须一直与 5.0V 电源相连。当 V_{CCINT} 的电平为 5.0V 时,

输入电压阈值为 TTL 电平, 因此完全兼容 3.3V 和 5.0V 的输入。 V_{CC10} 引脚可与 3.3V 或 5.0V 的电源相连, 取决于输出的需要。当 V_{CC10} 引脚与 5.0V 的电源相连时, 输出电平兼容 5.0V 的系统; 当它与 3.3V 相连时, 输出的高电平为 3.3V, 因此它可兼容 3.3V 或 5.0V 的系统。器件工作在 V_{CC10} 电平低于 4.75V 时, 会导致产生一个稍大的标称延时 t_{OD2} , 而不是 t_{OD1} 。

12. 开漏输出选项 (仅用于 MAX7000S 器件)

MAX7000S 为每个 I/O 脚提供了一个开漏输出的选项 (功能上等效于集电极开路输出)。器件可利用这个开漏输出提供系统级的控制信号 (如中断和写使能信号), 可由几个器件进行选择控制。另外, 它还提供一个额外的“线或”平面。

通过使用外部 5.0V 的上拉电阻, MAX7000S 器件的输出引脚可以满足 5.0V CMOS 输入电压要求。若 V_{CC10} 为 3.3V, 则选择开漏输出将会关闭输出上拉三极管, 利用外部上拉电阻将输出拉高以满足 5.0V 的 CMOS 输入电压。若 V_{CC10} 为 5.0V, 因为当引脚输出超过大约 3.8V 时上拉三极管已经关闭, 外部上拉电阻可直接将输出拉高来满足 5.0V CMOS 输入电压的要求, 所有不必选择开漏输出。

13. 斜率控制

对每个 MAX7000S 和 MAX7000E 的 I/O 脚的输出缓冲器的输出斜率进行调节, 可配置为低噪声或高速度的操作。较快的斜率可实现高性能系统的快速跳变, 但是快速跳变可能给系统带来瞬态噪声。而一个较慢的斜率虽然降低了系统噪声, 却又会增加 1 个 4 ~ 5ns 的表称延

时。在 MAX7000E 器件中，当 Turbo Bit 关闭时，将斜率设置成低噪声操作。对于 MAX7000S 器件，每个 I/O 脚分别含有一个 E²PROM 位，可利用它来控制斜率，允许设计者根据引脚到引脚的基本原理来对斜率进行设定。

14. 使用外部硬件编程

MAX7000 器件可在带有 Altera 路径编程卡、主机编程单元(MPU)和合适的器件适配器的 Windows PC 机上进行编程。MPU 通过执行连续的检查来确保适配器与器件之间有良好的电气接触。更多的信息参见 Altera Programming Hardware Data Sheet.

Altera 开发系统可以使用由本文编辑器所产生的文本或波形格式测试向量对以编程的器件进行测试。为了增强设计的可靠性，设计者还可执行功能测试，将 MAX7000 器件的菜单项与模拟结果进行对比。此外，数据 I/O、BP 微系统和其他编程硬件制造商也为 Altera 器件提供编程支持。更多的信息见 Altera Programming Hardware Manufacturers.