

上海沪生电子产品使用说明书

<http://www.husoon.com>

地址：上海市北京东路 668 号 **上海赛格电子市场 2C48**

电话：021 - 28304329 13918348251

传真：021 - 50693558 (人工传真)

EMAIL:SALES@HUSOON.COM(销售)

SERVICE@HUSOON.COM

上海沪生电子产品使用说明书

<http://www.husoon.com>

电话：021-61021969

网站：www.husoon.com

HDL 概述

随着 EDA 技术的发展，使用硬件语言设计 PLD/FPGA 成为一种趋势。目前最主要的硬件描述语言是 VHDL 和 Verilog HDL。VHDL 发展的较早，语法严格，而 Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言，语法较自由。VHDL 和 Verilog HDL 两者相比，VHDL 的书写规则比 Verilog 烦琐一些，但 Verilog 自由的语法也容易让少数初学者出错。国外电子专业很多会在本科阶段教授 VHDL，在研究生阶段教授 Verilog。从国内来看，VHDL 的参考书很多，便于查找资料，而 Verilog HDL 的参考书相对较少，这给学习 Verilog HDL 带来一些困难。从 EDA 技术的发展上看，已出现用于 CPLD/FPGA 设计的硬件 C 语言编译软件，虽然还不成熟，应用极少，但它有可能会成为继 VHDL 和 Verilog 之后，设计大规模 CPLD/FPGA 的又一种手段。

选择 VHDL 还是 Verilog HDL？

这是一个初学者最常见的问题。其实两种语言的差别并不大，他们的描述能力也是类似的。掌握其中一种语言以后，可以通过短期的学习，较快的学会另一种语言。选择何种语言主要还是看周围人群的使用习惯，这样可以方便日后的学习交流。当然，如果您是集成

电路 (ASIC) 设计人员，则必须首先掌握 Verilog，因为在 IC 设计

地址：北京东路 668 号科技京城西楼 - 1C21 邮编：200001

电话：021 - 53084329 021 - 28304329 传真：021 - 53084329 技术支持：13918349251

网址：<http://www.husoon.com>

销售信箱：sales@husoon.com 技术支持 service@husoon.com

领域,90%以上的公司都是采用 Verilog 进行 IC 设计。对于 PLD/FPGA 设计者而言,两种语言可以自由选择。

学习 HDL 的几点重要提示

1. 了解 HDL 的可综合性问题:

HDL 有两种用途:系统仿真和硬件实现。如果程序只用于仿真,那么几乎所有的语法和编程方法都可以使用。但如果我们的程序是用于硬件实现(例如:用于 FPGA 设计),那么我们就必须保证程序“可综合”(程序的功能可以用硬件电路实现)。不可综合的 HDL 语句在软件综合时将被忽略或者报错。我们应当牢记一点:“所有的 HDL 描述都可以用于仿真,但不是所有的 HDL 描述都能用硬件实现。”

2. 用硬件电路设计思想来编写 HDL:

学好 HDL 的关键是充分理解 HDL 语句和硬件电路的关系。编写 HDL,就是在描述一个电路,我们写完一段程序以后,应当对生成的电路有一些大体上的了解,而不能用纯软件的设计思路来编写硬件描述语言。要做到这一点,需要我们多实践,多思考,多总结。

3. 语法掌握贵在精,不在多

30%的基本 HDL 语句就可以完成 95%以上的电路设计，很多生僻的语句并不能被所有的综合软件所支持，在程序移植或者更换软件平台时，容易产生兼容性问题，也不利于其他人阅读和修改。建议多用心钻研常用语句，理解这些语句的硬件含义，这比多掌握几个新语法要有用的多。

HDL 与原理图输入法的关系

HDL 和传统的原理图输入方法的关系就好比是高级语言和汇编语言的关系。HDL 的可移植性好，使用方便，但效率不如原理图；原理图输入的可控性好，效率高，比较直观，但设计大规模 CPLD/FPGA 时显得很烦琐，移植性差。在真正的 PLD/FPGA 设计中，通常建议采用原理图和 HDL 结合的方法来设计，适合用原理图的地方就用原理图，适合用 HDL 的地方就用 HDL，并没有强制的规定。在最短的时间内，用自己最熟悉的工具设计出高效，稳定，符合设计要求的电路才是我们的最终目的。

HDL 开发流程

用 VHDL/VerilogHD 语言开发 PLD/FPGA 的完整流程为：

1. **文本编辑**：用任何文本编辑器都可以进行，也可以用专用的 HDL 编辑环境。通常 VHDL 文件保存为 .vhd 文件，Verilog 文件保存为 .v 文件
 2. **功能仿真**：将文件调入 HDL 仿真软件进行功能仿真，检查逻辑功能是否正确（也叫前仿真，对简单的设计可以跳过这一步，只在布线完成以后，进行时序仿真）
 3. **逻辑综合**：将源文件调入逻辑综合软件进行综合，即把语言综合成最简的布尔表达式和信号的连接关系。逻辑综合软件会生成 .edif（edif）的 EDA 工业标准文件。
 4. **布局布线**：将 .edif 文件调入 PLD 厂家提供的软件中进行布线，即把设计好的逻辑安放到 PLD/FPGA 内
 5. **时序仿真**：需要利用在布局布线中获得的精确参数，用仿真软件验证电路的时序。（也叫后仿真）
 6. **编程下载**：确认仿真无误后，将文件下载到芯片中
- 通常以上过程可以都在 PLD/FPGA 厂家提供的开发工具（如 MAXPLUS II，Foundation，ISE）中完成，但许多集成的 PLD 开发软件只支持 VHDL/Verilog 的子集，可能造成少数语法不能编译，如果采用专用 HDL 工具分开执行，效果会更好，否则这么多出售专用 HDL 开发工具的公司就没有存在的理由了。

HDL 相关网址连接

<http://www.vhdl.org/>

<http://www.verilog.org/>

VHDL 在线参考 www.acc-eda.com/vhdlref/index.html

Verilog 常见问题 <http://parmita.com/verilogfaq>